한국공개특허공모 세2001-106233호(2001.11.29) 1무.

乌2001-0106233

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl.^{*} HOLL 27/04 (11) 공개번호 (43) 공개일자 특2001-0106239 2001년11월25일

(21) 끌원번호 (22) 출원잎자	10-2001-0025724 2001년 05월 11일
(30) 우선권주장	2000-143861 2000년 05월16일 일본(JP)
(71) 출원인	2001-003500 2001년이월11일 일본(JP) 미쓰비시덴키 가부시키기이샤 다니구제 이제로오, 기타오카 다카시
(72) 발명자	일본국 도쿄도 지요다쿠 마루노우치 2초메 2반 3고 나이고지
	일본도교도지요다쿠마루노우치2초메2반3고마쓰비사덴키가부시키가이샤내
	마하니시아스시
(74) 대리인	일본도교도지요다쿠마루노우치2초메2반3고미쓰비시덴커가부시키가미시내 김창세
<i>실사됩구 : 있을</i>	
(54) 반도체 기억 장치	

ደቍ

본 발명의 목적은 다중 포트 SRAM의 액세스 타임을 고속화하는 것입니다.

본 발명은, 다중 포트 SRAM 셀을 구성하는 한 생의 CMOS 인버터가 형성된 P혈 영역 및 N웹 영역에 관한 것으로, P헬 영역을 2개의 P헬 영역 PWI 및 PMP로 분할하고 N웰 영역 NW의 양혹에 또한 그를 사이의 경계 선미 비트선과 평행하게 되도록 형성한다. 또한, 한 쌍의 액세스 게이트 NG 및 N5와 N4 및 N6이 각각 분 할된 2개의 P헬 영역에 형성되는 것에 의해, 비트선 길이를 짧게 하여 배선 용량을 저감시킨다.

OHS.

52

gay.

左联의 交母等 公路

- 도 1은 실시에 1에 따른 반도체 기억 장치의 등가 회로를 도시한 도면,
- 도 2는 실시에 1에 따른 반도체 기억 장치의 메모리 셈의 레이이웃도,.
- 도 3은 실시에 1에 따른 반도체 기억 장치의 메모리 셀의 레이어웃도,
- 도 4는 실시에 1에 따른 반도체 기억 장치의 메모리 셈의 레이이웃도,
- 도 5는 실시에 1에 따른 반도체 기억 장치의 메모리 셀의 레이이웃도,
- 도 6은 컨택트 홀이나 비아홀 등의 각층 기호를 설명하기 위한 설명도,
- 도 7은 실시에 2에 따른 반도체 기억 장치의 메모리 셑의 레이마웃도.
- 도 8은 실시에 3에 따른 반도체 기억 장치의 동가 회로를 도시한 도면,
- 도 9는 실시예 3에 따른 반도체 기억 장치의 메모리 셀의 레이마웃도,
- 도 10은 실시에 3에 따른 반도체 기억 장치의 메모리 셈의 레이아웃도, 도 11은 실시에 3에 따른 반도체 기억 장치의 메모리 셀의 레이아웃도,
- 도 12는 실시에 3에 따른 반도체 기억 장치의 메모리 셀의 레이이웃도,
- 도 13은 실시에 4에 따른 반도체 기억 장치의 등가 회로를 도시한 도면,
- 도 14는 실시에 4에 따른 반도체 기억 장치의 메모리 셈의 레이이웃도,

星2001-0106233

도 15는 실시예 4에 따른 반도체 기억 장치의 메모리 셀의 레미마웃도,

도 16은 심시에 4에 따른 반도체 기억 장치의 메모리 셀의 레이이웃도,

도 17은 실시에 4에 따른 반도체 기억 장치의 메모리 셈의 레이마웃도,

도 18은 실시에 5에 따른 반도체 기억 장치의 동가 회로를 도시한 도면,

도 19는 십시예 5에 따른 반도체 기억 장치의 메모리 셀의 레이아웃도,

도 20은 실시에 5에 따른 반도체 기억 장치의 메모리 셈의 레이아웃도,

도 21은 중래의 반도체 기억 장차에 있어서, 반도체 기판 표면에 형성된 확산 영역과, 그의 상면에 형성 된 다결정 실리콘막, 제 1 금속 배선충출 포함하는 하지를 도시한 레이아웃도,

도 22는 중래의 반도체 기억 장치에 있어서, 상송에 형성된 제 2 및 제 3 금속 배선층을 포함하는 상부 그라운드(upper ground)를 도시한 레이아웃도,

도 23은 종래의 기억 셀의 레이아웃도.

도면의 주요 부분에 대한 부호의 설명

NF : N텔 영역

P#1 : 제 1 P텔 영역 P#2 : 제 2 P웰 영역

FL11, FL12, FL21~26, FL31~36 : n+ 확산 영역

FL11, FL12 : p+ 확산 영역

AL11, AL12, AL15~18 : 제 1 금속 배선총 AL21~29, AL41, AL42 : 제 2 금속 배선총

AL31~33 : 제 3 금속 배선총

N1~N6, N8~N11 : N채널형 NOS 트런지스터

P1, P2 : P채널형 MOS 트랜지스터

발명의 상세환 설명

말망의 목적

整명이 속하는 기술분야 및 그 분야의 중계기술

본 발명은 반도체 기억 장치에 관한 것으로, 특히 CMOS 구성의 다중 포트 SRAM(Static Random Access Memory)셀의 레이마웃에 관한 것이다.

최근, 전자기기의 경량 박형 단소화(短小化)와 함께 그룹 기기의 기능을 고속으로 삼현하는 요망이 강해 지고 있다. 이러한 전자기기에 있어서 이제는 마이크로컴퓨터를 탑재하는 것은 불가결하며, 그 마이크로 컴퓨터의 구성에 있어서는 대용량이고 또한 고속인 메모리의 삼장은 필수로 되고 있다. 또한, 퍼스날 컴 퓨터의 금속한 보급과 고성능화 하에서 보다 고속인 처리를 섞현하기 위해서, 캐시 메모리의 대용량화가 요청되고 있다. 즉, CPU가 제어 프로그램 등의 삼행시에 있어서 사용하는 RAM에 대해서 고속화와 대용량 화가 요청되고 있다.

이 RAM으로서는 일반적으로 ORAM(Dynamic RAM)과 SRAM이 사용되고 있지만, 상기한 캐시 메모리와 같이 고 속인 처리를 필요로 하는 부분에는 통상 SRAM이 사용되고 있다. SRAM은 그 메모리 셀의 구조로서, 4개의 트랜지스터와 2개의 고저항 소자로 구성되는 고저항 부하형과 6개의 트랜지스터로 구성되는 CMDS형이 알 려져 있다. 특히, CMDS형의 SRAM은 데미터 유지시의 리크 전류가 매우 작기 때문에 신뢰성이 높마 현재 의 주류로 되고 있다.

일반적으로, 메모리 설에 있어서, 그의 소자 면적을 촉소하는 것은 메모리 설 어레이의 소형화뿐만 아니라 고속화도 실현하는 것을 의미한다. 그래서, 종래부터 SRAM의 보다 고속인 동작을 실현하기 위해, 메모리 셀 구조에 대해서 다양한 레미마웃이 재안되고 있다.

예름 돌면, 일본 특허 공개 공보 평성 제 10-178110 호에 개시된 「반도체 기억 장치」에 의하면, 메모리 셀음 구성하는 인버터가 형성된 P월 영역과 N월 영역의 경계선을 비트선과 평행하게 배치하는 것에 의해 서, P월 영역 또는 N월 영역내의 확산 영역의 형상 및 2개의 인버터의 교차 접속부의 형상을 접곡부가 없 는 간이한 것으로 하고, 결과적으로 셀 면적을 축소하는 것을 가능하게 하고 있다.

도 21 및 도 22는 상기한 일본 특허 공개 평성 제 10-178110 호의 「반도체 기억 장치」의 레이이웃도이다. 특히,도 21은 반도체 기판 표면에 형성된 확산 영역, 그의 상편에 형성된 다결정 실리콘막 및 제 1 금속 배선총을 포합하는 하지를 도시하고 있고,도 22는 그의 상면에 형성된 제 2 및 제 3 금속 배선총을 포합하는 상부 그리운드(upper ground)를 도시하고 있다.

号2001~0106233

도 21에 도시하는 바와 같이 D 메모리 셀에는 중앙에 P채널형 MOS 트랜지스터 PIDI 및 PIO2가 형성된 N 형 영역미 배치되고, 그의 양촉에 N채널형 MOS 트랜지스터 NIDI 및 NID3DI 형성된 P헬 영역과 N채널형 MOS 트랜지스터 NID2 및 NID4가 형성된 P웰 영역이 배치되어 있다.

여기서, P채널형 NOS 트랜지스터 PIO1 및 PIO2와 N채널형 NOS 트랜지스터 N101 및 N102가 서로 교차 접숙 된 CNOS 인버터, 즉 플립물롭 회로를 구성하고, N채널형 NOS 트랜지스터 N103 및 N104가 액세스 게이트 (트랜스퍼 게이트)에 상당한다.

또한, 도 22에 도시하는 바와 값이 비트선 BL 및 /BL는 제 2 금속 배선총으로서 각각 따로따로 형성되어, 각각 하용의 액세스 게이트 MOS 트랜지스터 NICG 및 NIO4의 반도체 단지의 한쪽에 접속된다. 또한, 전원 선 Vd는 비트선 BL 및 /BL 사이의 중앙부에 제 2 금속 배선총으로서 비트선과 평행하게 형성되어, 하총 의 P채널형 MOS 트랜지스터 P101 및 P102의 반도체 단자의 한쪽에 접속된다. 또한, 워드션 顺은 비트선 BL 및 /BL와 직교하는 방향에 제 3 금속 배선총으로서 형성되어, 하총의 N채널형 MOS 트랜지스터 NIO3 및 NIO4의 게이트에 접속된다. 또한, 접지선 GND는 워드선 顺의 양속에 평행하게 2개의 제 3 금속 배선층으로서 형성되어 있다.

메모리 셀音 이러한 레이아웃으로 형성한 결과, MOS 트랜지스터 N101 및 N103이 형성된 P웰 영역내의 M형 확산 영역과 MOS 트랜지스터 N102 및 N104가 형성된 M형 확산 영역을 비트션 BL 및 /BL와 평향하게 직선 형상으로 형성함 수 있머 불필요한 영역의 발생을 방지함 수 있다.

또한, 셀의 가로방향의 길이 즉 워드선 때 방향의 길이가 세로 방향의 길이 즉 비트션 8L 및 /BL의 길이 에 비해서 상대적으로 길기 때문에, 비트선 8L 및 /BL에 접속되는 센스 앰프의 레이아웃이 용마하게 팀과 용시에, [개의 워드선에 접속되는 셀의 수가 감소하여 판독시에 흐르는 셀 전류 즉 소비전력을 저감할 수 있다.

상기한 SRAM의 메모리 셀은 소위 1포트 SRAM의 예이지만, 다른 한편으로 최근에는 컴퓨터의 고속화를 실 현하는 수단의 해나로서 멀티프로세서가 도입되고 있고, 복수의 CPU가 하나의 메모리 영역을 공유하는 것 미 요청되고 있다. 즉, 하나의 메모리 셀에 대해서 2개의 포트로부터의 액세스를 가능하게 한 2포트 SRAM에 대해서도 여러 가지의 레이아웃이 제안되어 있다.

예를 들면, 일본 특허 공개 공보 평성 제 07-7089 호에 개시된 「기억 셑」에 의하면, 제 2 포트를 제 1 포트와 대청으로 배치하고 또한 동일한 층에 제 1 포트와 동시에 형성하는 것에 의해, 2포트 SRAM의 구성 을 실현하고 있다. 도 23은 미 일본 특허 공개 공보 평성 제 07-7089 호에 개시된 「기억 셑」의 레미마 옷도이다.

도 23에 있어서, P채널형 MOS 트랜지스터 P201 및 P202와 N채널형 MOS 트랜지스터 N201', N201' 및 N202'가 서로 교차 접속된 CMOS 인버터 즉 플립플롭 회로를 구성하고, K채널형 MOS 트랜지스터 NA, NB, NA2 및 NB2가 액세스 게이트(트랜스퍼 게이트)에 상당한다.

즉, 도 23에 있어서, N채널형 MOS 트랜지스터 NA 및 NB가 워드선 때 1을 거친 한쪽의 포트로부터의 액세스를 가능하게 하고, N채널형 MOS 트랜지스터 NA2 및 NB2가 워드션 때 2를 거친 다른 쪽 포트로부터의 액세 스쿨 가능하게 하고 있다.

발명이 이루고자 하는 기술적 표정

증래의 메모리 셈은 그의 레이마봇 구조가 비트선 방향으로 길기 때문에 비트선의 배선 용량이 커서 지연 이 중대한다는 문제가 있고, 상기한 복허 공개 공보 평성 제 10-178110 호에 개시된 「반도체 기억 장치 」는 1포트 SRAM에 대해서 이러한 문제를 해결하고 있다.

그러나, 이 '반도체 기약 장치」에서는 일반적으로 2조의 액세스 게이트와 구동형 MCS 트랜지스터를 구 비한 2포트 SRAM에 대해서는 상기한 문제를 해결하고 있지 않다. 또한, 상기한 입본 특허 공개 공보 평 성 제 CP-7089 호에 개시된 '기역 셀」은 2포트 SRAM 셀의 레이아웃을 LHEH내는 것이지만, 제 2 포트를 1포트 SRAM 셀의 레이아웃에 큰 변경을 입으키지 않고 용어하게 추가할 수 있는 레이아웃을 제공하는 것 으로서, 2포트 SRAM 셀을 비트선 방향으로 축소하는 것을 목적으로 하는 것이 아니다.

본 방명은 상기 문제점을 해결하기 위해 이루어진 것으로서, 다중 포트 SRA변 셀을 구성하는 한 쌍의 CMOS 인배터가 형성된 P헬 영역 및 N헬 영역에 관한 것으로, P헬 영역을 2개로 분발하여 N켈 영역의 양측에 배 지하고, 그의 경계가 비트선과 평朝하게 위치하고 또한 한 쌍의 액세스 게이트를 분할된 2개의 P켈 영역에 각각 형성하는 것에 의해, 비트선 방향의 길이가 짧은 메모리 셀의 반도체 기억 장치를 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

상술한 과제를 해결하여 목적을 달성하기 위해서, 본 발명에 따른 반도체 기억 장치에 있어서는 제 1 워드선과, 제 2 워드선과, 제 1 정상(positive-phase) 비트선과, 제 1 역상(negative-phase) 비트선과, 제 2 정상 비트선과, 제 1 전상(positive-phase) 비트선과, 제 1 연상(negative-phase) 비트선과, 제 2 정상 비트선과, 제 2 역상 비트선과, 제 1 N채널형 MOS 트랜지스터를 포함하며 CMOS 인버터를 구성하는 제 1 CMOS 인버터와, 제 2 N채널형 MOS 트랜지스터 및 제 2 P채널형 MOS 트랜지스터를 구설하는 제 1 기억 MOS 인버터의 급역 단자를 제 1 기억 노드로 해서 상기 제 1 여자 인버터의 출력 단자에 접속되고 상기 대자 인버터의 출력 단자를 제 2 기억 노드로 해서 상기 제 1 여자 인버터의 립력 단자에 접속되고 상기 대자 인버터와, 게이토를 상기 제 1 워드선에 접속하고 드레인을 상기 제 1 역상 비트선에 접속하고 도레인을 상기 제 1 역상 비트선에 접속하고 드레인을 상기 제 1 역상 비트선에 접

속하고 소스를 상기 제 2 기억 노드에 접숙한 제 4 M대널형 MDS 트런지스터와, 게미트를 상기 제 2 워드 선에 접숙하고 드레인을 상기 제 2 정상 비트선에 접숙하고 소스를 상기 제 1 기억 노드에 접숙한 제 5 위 채널형 MDS 트랜지스터와, 게미트를 상기 제 2 위드선에 접숙하고 드레인을 상기 제 2 역상 비트선에 접 속하고 소스를 상기 제 2 기억 노드에 접숙한 제 6 N채널형 MDS 트랜지스터를 구비하고, 상기 제 1 및 제 2 P채널형 MDS 트랜지스터는 N월 영역에 형성되고, 상기 제 1, 제 3 및 제 5 N채널형 MDS 트랜지스터는 제 1 P웰 영역에 형성되고, 상기 제 2, 제 4 및 제 6 N채널형 MDS 트랜지스터는 제 2 P웰 명역에 형성된 것을 목장으로 한다.

다음의 발명에 따른 반도채 기억 장치에 있어서는 상기 발명에 있어서 상기 제 1 및 제 2 P텔 영역이 상 기 N텔 영역의 양측에 형성된 것을 특징으로 한다.

다음의 따른 반도체 기억 장치에 있어서는 상기 발명에 있어서 상기 제 1 정상 비트선, 상기 제 1 역상 비트선, 상기 제 2 정상 비트선 및 상기 제 2 역상 비트선의 각각의 연장 방향과 상기 제 1 및 제 2 P웹 영역과 상기 N월 영역과의 경계선이 평행한 것을 특징으로 한다.

다음의 발명에 따른 반도체 기억 장치에 있어서는 상기 발명에 있어서 상기 제 1 및 제 2 P할 영역과 상 기 N웹 영역과의 경계선이 상기 제 1 및 제 2 워드션의 각각의 면장 방향과 적교하는 것을 특징으로 한다.

- 다음의 발명에 따른 반도체 기억 장치에 있어서는 상기 발명에 있어서 상기 제 1 P채널형 MOS 트랜지스터 와 상기 제 1, 제 3 및 제 4 M채널형 MOS 트랜지스터가 각각의 게이트 영역이 상기 제 1 워드선의 연장 방향에 대해서 평행하고 또한 동일 직선 상에 위치하도록 형성되고, 상기 제 2 P채널형 MOS 트랜지스터와 상기 제 2, 제 5 및 제 6 N채널형 MOS 트랜지스터가 각각의 게이트 영역이 상기 제 2 워드선의 연장 방향 에 대해서 평행하고 또한 동일 작선 상에 위치하도록 형성된 것을 목장으로 한다.

다음의 발명에 따른 반도체 기억 장치에 있어서는 상기 발명에 있어서 상기 제 3 및 제 5 k채널형 MOS 트 랜지스터는 각각의 소스 확산 영역 및 드레인 확산 영역이 등일 적선 상에 위치하고 또한 상기 제 1 및 제 2 정상 비트선의 면장 방향 에 대해서 평행하게 배치하도록 형성되고, 상기 제 4 및 제 6 k채널형 MOS 트랜지스터는 각각의 소스 확산 영역 및 드레인 확산 영역이 등일 직선 상에 위치하고 또한 상기 제 1 및 제 2 역상 비트선의 연장 방향에 대해서 평행하게 배치하도록 형성된 것을 특징으로 한다.

다음의 발명에 따른 반도체 기억 장치에 있어서는 상기 발명에 있어서 상기 제 3 및 제 5 N채널형 MOS 트 런지스터의 드레인 확산 영역이 공통의 제 1 n+ 확산 영역에서 형성되고, 상기 제 4 및 제 6 N채널형 MOS 트랜지스터의 드래인 확산 영역이 공통의 제 2 n+ 확산 영역에서 형성된 것을 특징으로 한다.

다음의 발명에 따른 반도체 기억 장치에 있어서는 상기 발명에 있어서 상기 제 1 K재널형 NOS 트랜지스터 의 드레인 확산 영역과 상기 제 3 및 제 5 K채널형 MOS 트랜지스터의 드레인 확산 영역이 컨택트 홀을 거 쳐서 상촉의 제 1 금속 배선에 의해 접속되고, 상기 제 2 N채널형 MOS 트랜지스터의 드레인 확산 영역과 상기 제 4 및 제 6 N채널형 MOS 트랜지스터의 드레인 확산 영역이 컨택트 홈을 거쳐서 상촉의 제 2 금속 배선에 의해 접속된 것을 특징으로 한다.

다음의 발명에 따른 반도체 기억 장치에 있어서는 상기 발명에 있어서 상기 채 1 및 제 2 금속 배선의 연장 방향이 상기 제 1 및 제 2 워드선의 연장 방향에 대해서 평향한 것을 특징으로 한다.

다음의 발명에 따른 반도체 기억 장치에 있어서는 상기 발명에 있어서 상기 제 1 및 제 2 정상 비트선과, 상기 제 1 및 제 2 역상 비트선과, 전원 라인과, GND 라인의 각각의 연장 방향이 상기 제 1 및 제 2 워드 선에 대해서 수직인 것을 특징으로 한다.

다음의 발명에 따른 반도체 기억 장치에 있어서는 상기 발명에 있어서 상기 제 1, 제 3 및 제 5 k채널형 MDS 트랜지스터의 드레인 확산 영역이 공통의 제 1 n+ 확산 영역에서 형성되고, 상기 제 2, 제 4 및 제 6 k채널형 MDS 트랜지스터의 드레인 확산 영역이 공통의 제 2 n+ 확산 영역에서 형성된 것을 특징으로 한다.

다음의 발명에 따른 반도체 기억 장치에 있어서는 상기 발명에 있어서 상기 제 1 n+ 확산 영역과 상기 제 1 P채널형 MDS 트랜지스터의 드레인 확산 영역이 컨택트 홈플 거쳐서 상황의 제 1 급속 배선에 의해 접속 되고, 상기 제 2 n+ 확산 영역과 상기 제 2 P채널형 MDS 트랜지스터의 드레인 확산 영역이 컨택트 증출 거쳐서 상황의 제 2 금속 배선에 의해 접속된 것을 특징으로 한다.

기재서 상황의 제 2 금속 배선에 의해 접속된 것을 복장으로 한다.
다음의 발명에 따흔 반도체 기억 장치에 있어서는 제 1 워드션과, 제 2 워드션과, 제 1 정상 비트션과,
제 1 역상 비트션과, 제 2 정상 비트션과, 제 1 N재날형 MOS 트랜지스터 및 제 1 P재념형 MOS 트랜지스터 를 포함하여 CMOS 인버터를 구성하는 제 1 DMOS 인버터와 제 2 N재널형 MOS 트랜지스터 및 제 2 P재널형
MOS 트랜지스터를 포함하여 CMOS 인버터를 구성함과 동시에, 상기 CMOS 인버터의 입력 단지를 제 1 기억
노드로 해서 상기 제 1 CMOS 인버터를 구성함과 동시에, 상기 CMOS 인버터의 협력 단지를 제 1 기억
노드로 해서 상기 제 1 CMOS 인버터의 입력 단지에 접속되고 상기 CMOS 인버터의 협력 단지를 제 2 기억
노드로 해서 상기 제 1 CMOS 인버터의 입력 단지에 접속되고 상기 CMOS 인버터의 협력 단지를 제 2 기억
노드로 해서 상기 제 1 CMOS 인버터의 입력 단지에 접속되고 상기 CMOS 인버터와, 게이트를 장기 제 1 워드 선에 접속하고 드레인을 삼기 제 1 정상 비트션에 접속하고 소스를 상기 제 1 기억 노드에 접속한 제 3 N
채널형 MOS 트랜지스터와, 게이트를 상기 제 1 워드션에 접속하고 소스를 상기 제 1 역상 비트션에 접 속하고 소스를 상기 제 2 기억 노드에 접속한 제 4 N채널형 MOS 트랜지스터와, 게이트를 상기 제 1 기억
노드에 접속한 제 5 N채널형 MOS 트랜지스터와 기 제 2 위도션에 접속하고 드레인을 상기 제 1 기억
노드에 접속한 제 5 N채널형 MOS 트랜지스터의 드레인에 접속한 제 6 N채널형
MOS 트랜지스터를 구비하고, 상기 제 1 및 제 2 P채널형 MOS 트랜지스터의 드레인에 접속한 제 6 N채널형
MOS 트랜지스터를 구비하고, 상기 제 1 및 제 2 P채널형 MOS 트랜지스터는 N형 영역에 형성되고, 상기 제 1 및 제 3 N채널형 MOS 트랜지스터는 제 2 P젤 영역에 형성되고, 상기 제 2, 제 4, 제 5 및 제 6 N채널형
MOS 트랜지스터는 제 2 P젤 영역에 형성된 것을 특징으로 한다.
TLR의 발명에 MOS 트랜지스터는 제 2 P젤 영역에 형성되고, 상기 제 2 제 4, 제 5 및 제 6 N채널형
MOS 트랜지스터는 제 2 P젤 영역에 형성된 것을 특징으로 한다.

다음의 발명에 따른 반도체 기억 장치에 있어서는 또 제 3 워드선과, 제 1 정상 비트선과, 제 2 역상 비트선과, 게이트를 상기 제 2 기억 노드에 접속한 제 7 세개념형 MOS 트랜지스터와, 게이트를 상기 제 3 워드선에 접속하고 드레인을 상기 제 2 역상 비트선에 접속하고 소스를 상기 제 7 N채념형 MOS 트랜지스터의 드레인에 접속한 제 8 N채널형 MOS 트랜지스터의 드레인에 접속한 제 8 N채널형 MOS 트랜지스

터는 상기 제 1 P템 영역에 형성된 것을 특징으로 한다.

다음의 발명에 따른 반도체 기억 장치에 있어서는 상기 발명에 있어서 상기 제 2 및 제 3 워드선율 공통의 1개의 워드선으로 한 것을 특징으로 한다.

다음의 발명에 따른 반도체 기억 장치에 있어서는 상기 발명에 있어서 상기 **자** 1 및 제 2 P웹 영역은 상 기 N웹 영역의 양측에 행성된 것을 특징으로 한다.

다음의 발명에 따른 반도체 기억 장치에 있어서는 상기 발명에 있어서 상기 제 1 정상 비트선, 상기 제 1 역상 비트선 및 상기 제 2 정상 비트선의 각각의 연장 방향과 상기 제 1 및 제 2 P월 명역과 상기 N월 영 역과의 경계선은 평향한 것을 특징으로 한다.

다음의 발명에 따른 반도체 기억 장치에 있어서는 상기 발명에 있어서 상기 제 1 및 제 2 P헬 영역과 상 기 N헬 영역과의 경계선은 상기 제 1 및 제 2 워드선의 각각의 연장 방향과 직교하는 것을 특징으로 한다.

다음의 발명에 따른 반도체 기억 장치에 있어서는 상기 발명에 있어서 상기 제 1 P채널형 MDS 트랜지스터 와 상기 제 1, 제 4 및 제 6 M채널형 MDS 트랜지스터는 각각의 개이트 영역이 동일 직선 상에 위치하고 또한 상기 제 1 워드선의 연장 방향에 다해서 평행하게 배치하도록 형성되고, 상기 제 2 P채널형 MDS 트 랜지스터와 상기 제 2, 제 3 및 제 5 M채널형 MDS 트랜지스터는 각각의 게이트 영역이 동일 직선 상에 위 치하고 또한 상기 제 2 워드선의 연장 방향에 대해서 평행하게 배치하도록 형성된 것을 특징으로 한다.

시아고 또만 당기 제 2 워트먼리 건강 방망에 내해서 병명하게 매시아도록 명정된 것을 특징으로 만나.
다음의 발명에 따른 반도체 기의 장치에 있어서는 상기 발명에 있어서 상기 제 1 및 제 3 N채널형 MDS 트 랜지스터는 상기 제 1 N채널형 MDS 트랜지스터의 드레인 확산 영역과 상기 제 3 N채널형 MDS 트랜지스터 의 소소 확산 영역이 동일 직선 상에 위치하고 또한 상기 제 1 정상 비트선의 연장 방향에 대해서 평행하 게 배치하도록 형성되고, 상기 제 2 및 제 4 N채널형 MDS 트랜지스터는 상기 제 2 K채널형 MDS 트랜지스 터의 드레인 확산 영역과 상기 제 4 N채널형 MDS 트랜지스터의 소스 확산 영역이 동일 직선 상에 위치하 고 또한 상기 제 1 역상 비트선의 연장 방향 에 대해서 평행하게 배치하도록 형성되고, 상기 제 5 및 제 6 N채널형 MDS 트랜지스터는 상기 제 5 N채널형 MDS 트랜지스터의 드레인 확산 영역과 상기 제 6 N채널형 MDS 트랜지스터의 소스 확산 영역이 동일 직선 상에 위치하고 또한 상기 제 2 정상 비트선의 연장 방향에 대해서 평행하게 배치하도록 형성된 것을 특징으로 한다.

다음의 발명에 따른 반도체 기억 장치에 있어서는 상기 발명에 있어서 상기 제 1 N채널형 MOS 트랜지스터의 도대안 확산 영역과 상기 제 3 N채널형 MOS 트랜지스터의 소스 확산 영역은 공통의 제 1 마 확산 영역에서 형성되고, 상기 제 2 N채널형 MOS 트랜지스터의 드레인 확산 영역과 상기 제 4 N채널형 MOS 트랜지스터의 노레인 확산 영역과 상기 제 4 N채널형 MOS 트랜지스터의 소스 확산 영역은 공통의 제 2 마 확산 영역에서 형성되고, 상기 제 5 N채널형 MOS 트랜지스터의 도레인 확산 영역과 상기 제 6 N채널형 MOS 트랜지스터의 소스 확산 영역과 상기 제 6 N채널형 MOS 트랜지스터의 소스 확산 영역은 공통의 제 3 마 확산 영역에서 형성된 것을 특징으로 한다.

다음의 발명에 따른 반도체 기억 장치에 있어서는 상기 발명에 있어서 상기 제 2 P채널형 MOS 트랜지스터 와 상기 제 2 및 제 5 N채널형 MOS 트랜지스터는 각각의 게미트 영역미 직선 형상의 공통의 폴리실리콘 배선에 의해 접속된 것을 특징으로 한다.

다음의 발명에 따른 반도체 기억 장치에 있어서는 상기 발명에 있어서 상기 제 1 및 제 2 정상 비트선과, 상기 제 1 역상 비트선과, 전원 라인과, GND 라인의 각각의 연장 방향이 상기 제 1 및 제 2 워드선에 대해서 수직인 것을 특징으로 한다.

다음의 발명에 따른 반도체 기억 장치에 있어서는 상기 발명에 있어서 상기 제 1 P채널형 MDS 트런지스터 와 상기 제 1, 제 4, 제 6 및 제 7K채널형 MDS 트런지스터는 각각의 개이트 영역이 상기 제 1 워드션의 연장 방향에 대해서 평향하고 또한 동일 작선 상에 위치하도록 형성되고, 상기 제 2 P채널형 MDS 트랜지 스터와 상기 제 2, 제 3, 제 5 및 제 8 M채널형 MDS 트런지스터는 각각의 게이트 영역이 상기 제 2 워드 선의 연장 방향에 대해서 평향하고 또한 동일 작선 상에 위치하도록 형성된 것을 특징으로 한다.

전의 단장 당당에 대해서 상당하고 또한 경을 적건 당에 위치하도록 양성된 것을 특성으로 한다.
다음의 발명에 따른 반도체 기억 장치에 있어서는 상기 발명에 있어서 상기 제 1 및 제 3 k채널형 MOS 트랜지스터의 드레인 확산 영역과 상기 제 3 k채널형 MOS 트랜지스터의 으리인 확산 영역과 상기 제 3 k채널형 MOS 트랜지스터의 으소 확산 영역과 상기 제 3 k채널형 MOS 트랜지스터의 오소 확산 영역과 상기 제 2 및 제 4 k채널형 MOS 트랜지스터는 상기 제 2 k채널형 MOS 트랜지스터의 드레인 확산 영역과 상기 제 4 k채널형 MOS 트랜지스터의 소소 확산 영역이 상기 제 1 역상 비트선의 연장 방향에 대해서 평형하고 또한 통일 직선 상에 위치하도록 형성되고, 상기 제 5 및 제 6 k채널형 MOS 트랜지스터의 소소 확산 영역이 상기 제 1 역상 비트선의 연장 방향에 대해서 평형하고 또한 통일 직선 상에 위치하도록 형성되고, 상기 제 5 k채널형 MOS 트랜지스터의 소스 확산 영역이 상기 제 5 k채널형 MOS 트랜지스터의 소스 확산 영역이 상기 제 2 정상 비트선의 연장 방향에 대해서 평형하고 또한 통일 직선 상에 위치하도록 형성되고, 상기 제 7 및 제 8 k채널형 MOS 트랜지스터의 소스 확산 영역이 상기 제 7 및 제 8 k채널형 MOS 트랜지스터의 소스 확산 영역이 상기 제 2 역상 비트선의 연장 방향에 대해서 평향하고 또한 통일 직선 상에 위치하도록 형성된 것을 특징으로 한다.

다음의 발명에 따른 반도체 기억 장치에 있어서는 상기 발명에 있어서 상기 제 1 N채널형 MOS 트런지스터 의 드레인 확산 영역과 상기 제 3 N채널형 MOS 트런지스터의 소스 확산 영역은 공통의 제 1 마 확산 영역 에서 형성되고, 상기 제 2 N채널형 MOS 트랜지스터의 드레인 확산 영역과 상기 제 4 N채널형 MOS 트랜지 스터의 소스 확산 영역은 공룡의 제 2 마 확산 영역에서 형성되고, 상기 제 5 N채널형 MOS 트랜지스터의 드레인 확산 영역과 상기 제 6 N채널형 MOS 트랜지스터의 소스확산 영역은 공룡의 제 3 마 확산 영역에서 형성되고, 상기 제 7 N채널형 MOS 트랜지스터의 도레인 확산 영역과 상기 제 8 N채널형 MOS 트랜지스터의 형성되고, 상기 제 7 N채널형 MOS 트랜지스터의 도레인 확산 영역과 상기 제 8 N채널형 MOS 트랜지스터의 소스확산 영역은 공통의 제 4 마 확산 영역에서 형성된 것을 특징으로 한다.

다음의 발명에 따른 반도체 기억 장치에 있어서는 상기 발명에 있어서 상기 제 2 P채널형 MOS 트랜지스터 와 상기 제 2 및 제 5 N채널형 MOS 트런지스터는 각각의 게이트 영역이 직선 형상의 공통의 제 1 졸리실 리콘 배선에 의해 접속되고, 상기 제 1 P채널형 MOS 트랜지스터와 상기 제 1 및 제 7 N채널형 MOS 트랜지 스터는 각각의 게이트 영역이 직선 형상의 공통의 제 2 폴리실리콘 배선에 의해 접속된 것을 특징으로 한

卓2001-0106233

다.

본 발명의 상기 및 그 밖의 목적, 특징, 국면 및 미의 등은 첨부 도면을 참조로 하여 설명하는 이하의 상 세한 실시예로부터 더욱 명백해결 것이다.

이하에 본 발명에 따른 실시예를 도면에 따라서 상세하게 설명한다. 또, 본 실시예에 의해 본 발명이 한 정되는 것은 아니다.

(실시메 1)

우선, 실시에 1에 따른 반도체 기억 장치에 대해서 설명한다. 도 1은 실시에 1에 따른 반도체 기억 장치의 통가 회로를 도시한 도면이다. 도 1에 있어서, P채널형 MOS 트랜지스터 Pl과 N채널형 MOS 트랜지스터 NI(N)')은 제 1 CMOS 인버터를 구성하고, 또한 P채널형 MOS 트랜지스터 P2와 N채널형 MOS 트랜지스터 M2(N2')는 제 2 CMOS 트랜지스터를 구성하고 있고, 미듭 CMOS 인버터사이에서 입출력 단자가 교차 접속되어 있다.

즉, 이를 MOS 트랜지스터 P1, P2, N1, N1', N2 및 N2'에 의해서 플립플을 회로가 구성되고, 도 1 중 기한 제 1 CMOS 인버터의 출력점이고 또한 제 2 CMOS 인버터의 입력점이기도 한 기억 노드 MA와 제 CMOS 인버터의 출력점이고 또한 제 1 CMOS 인버터의 입력점이기도 한 기억 노드 MB에 있어서, 논리 성의 기록 및 판독이 가능해진다.

또한, N채널형 MOS 트랜지스터 N3, N4, N5 및 N6은 각각 액세스 게이트로서 기능하고, N채널형 MOS 트랜 지스터 N3은 게이트를 제 1 워드선 味으에 접속하고 소스를 상기한 기억 노드 MA에 접속할과 동시에 드레 인을 제 1 정상(positive-phase) 비트선 8L00에 접속하고 있다. 또한, K채널형 MOS 트랜지스터 N5는 게 이트를 제 2 워드션 W1대 접속하고 소스를 기억 노드 MA에 접속할과 동시에 드레인을 제 2 정상 비트션 BL10에 접속하고 있다.

또한, N재념형 MOS 트랜지스터 N4는 게이트를 제 1 워드션 NLO에 접속하고 소스를 상기한 기억 노트 MB에 접속합과 동시에 드레인을 제 1 역상(nasative-phase) 비트션 BLOI에 접속하고 있다. 또한, N재념형 MOS 트랜지스터 NG은 게이트를 제 2 워드션 때1에 접속하고 소스를 기억 노트 MB에 접속합과 동시에 드레인을 제 2 역상 비트션 BL11에 접속하고 있다.

즉, 제 1 워드선 N.O. 제 1 정상 비트선 BLOO 및 제 1 역상 비트선 BLOI의 선택에 의해 제 1 포트에 의한 기억값의 판독을 가능하게 하고, 제 2 위드선 N.I. 제 2 정상 비트선 BLIO 및 제 2 역상 비트선 BLII의 선택에 의해 제 2 포트에 의한 기억값의 판독을 가능하게 하고 있다.

여기서, 도 1에 도시한 동가 회로 자체는 증래의 2포트 \$PA# 셀의 회로와 전혀 다르지 않지만, 실시에 1 에 따른 반도체 기억 공치에서는 그의 구조에 특징이 있다. 도 2~도 5는 실시에 1에 따른 반도체 기억 공치의 메모리 셀의 레미마웃도이다. 또한, 도 6은 도 2~도 5에 도시한 컨택트 홈미나 비마홀 등의 각 중 기호를 설명하기 위한 설명도이다. 우선, 도 2는 반도체 기판 중에 형성된 헬 영역과, 그의 웹 영역 에 형성된 확산 영역과, 그들의 삼면에 형성된 콜리실리콘 배선송을 포합하는 레미대를 도시하고 있다.

실시에 1에 따른 반도체 기억 장치의 메모리 셀에서는 도 2에 도시하는 바와 같이 반도체 기관성의 평면 방향에 있어서 제 1 Pଖ 영역 PN1, N펠 영역 NN, 제 2 P펠 영역 PN2가 그 순서대로 배치되도록 각각 형성 되머 있다. 즉,N벨 영역 NN의 양측에 2개의 P웹 영역 PN1 및 PN2가 분합되어 배치되어 있다.

그리고, 제 1 P할 영역 PWI에는 도 1에 도시한 N채념형 NOS 트랜지스터 N1, N1, N3 및 N5가 형성되고, N 힘 영역 NRM는 도 1에 도시한 P채념형 NOS 트랜지스터 P1 및 P2가 형성되고, 제 2 P텔 영역 PW2메는 도 1에 도시한 N채념형 NOS 트랜지스터 N2, N2, N4 및 N6미 형성된다.

이하에 도 2~도 5에 도시한 각 레미머의 구조에 대해서 순서대로 설명한다. 우선, 도 2에 도시하는 레미머에 있어서, 제 1 P웰 영역 P맨에 상기한 제 1 훼 경계선에 대해서 수직인 방향으로 연장해서 배치된 2 개의 플리실리콘 배선총 PL21 및 PL22가 형성되고, 마찬가지로 제 2 P웰 영역 PW2에 상기한 제 2 웰 경계선에 대해서 수직인 방향으로 연장해서 병렬 배치된 2개의 플리실리콘 배선총 PL31 및 PL32가 형성된다.

또한, N월 영역 N메로부터 제 1 P월 영역 메이에 결쳐서 갈고리 형성의 졸리실리콘 배선총 PL11이 제 1 필 경계선과 수직인 방향이고 또한 그의 갈고리 단부가 제 1 P월 영역 P에에 위치하도록 형성된다. 등히, 그의 갈고리 단부는 도 2에 도시하는 바와 같이 즐리실리콘 배선총 PL11의 감고리 단부를 구성하는 2개의 병진(心逝)축(주축과 대청촉(return axis))이 각각 상기한 2개의 물리실리콘 배선총 PL21 및 PL22의 촉과 일치하는 형상이다. 도 2에 있어서는 물리실리콘 배선총 PL11의 주축이 플리실리콘 배선총 PL21과 임치하고 있다. 한편, 플리실리콘 배선총 PL11의 다른 쪽 단부는 상기한 제 2 월 경계선상에 위치한다.

마찬가지로, N월 영역 NM로부터 제 2 P월 영역 PM2에 걸쳐서 강고리 형상의 물리실리콘 배선층 PL12가 제 2 P월 경계선과 수직인 방향미고 또한 그의 같고리 단부가 제 2 P월 영역 PM2에 위치하도록 형성된다. 그리고, 그의 같고리 단부는 도 2에 도시하는 바와 같이 폴리살리콘 배선층 PL12의 감고리 단부를 구성하는 2개의 병진축이 각각 상기한 2개의 물리설리콘 배선층 PL31 및 PL32의 축과 일치하는 형상이다. 도 2에 있어서는 폴리살리콘 배선층 PL31과 일치하고 있다. 한편, 폴리살리콘 배선층 PL12의 다른 쪽 단부는 상기한 제 1 웹 경계선상에 위치한다.

그리고, 제 1 P웰 영역 Pၮ에 있어서, 폴리실리콘 배선총 PL21을 사이에 두는 위치에 M형 불순률의 주입에 의해 n+ 확산 영역 FL21 및 FL22가 형성된다. 이것에 의해, 폴리실리콘 배선총 PL21을 게이트 전국으로 한 N채널형 MOS 트랜지스터 N3이 형성된다. 또한, 즐리실리콘 배선총 PL22로 사이에 두는 위치에 n+

į

異2001-0106233

확산 영역 FL22 및 FL23이 형성된다. 이것에 의해, 즐리실리콘 배선총 PL22를 게이트 전국으로 한 N재널 형 MDS 트랜지스터 N5가 형성된다.

특히, 이를 N채널형 NOS 트랜지스터 N3 및 N5는 폴리십리콘 배선층 P121 및 P1.22가 병렬 배치되어 있기때문에 마 확산 영역 F1.21~23을 제 1 헬 경계선과 평행한 방향이고 또한 일직선상에 배치할 수 있고, 이 것에 의해 마 확산 영역 F1.22을 N채널형 MOS 트랜지스터 N3 및 N5에 있어서 골유하는 것이 가능해지고 있다. 이 마 확산 영역 F1.22의 공유는 도 1의 동가 회로에 따라서 N채널형 MOS 트랜지스터 N3과 N5의 소스 게리의 접속을 달성할과 동시에 N채널형 MOS 트랜지스터 N3 및 N5의 점유 면적의 축소화에 기여하고 있다.

또한, 제 1 P웰 영역 P맨에는 클리실리콘 배선총 PL11의 감고리 단부의 주축을 사이에 두는 위치에 N형 물순물의 주입에 의해 뉴 확산 영역 FL24 및 FL5가 형성된다. 이것에 의해, 플리실리콘 배선층 PL11의 구축을 게이트 전국으로 한 N재널형 MOS 트랜지스터 N1이 형성된다. 또한, 폴리실리콘 배선층 PL11의 감고리 단부의 대청축을 사이에 두는 위치에 따 확산 영역 FL25 및 FL26이 형성되는 것에 의해, 플리실리콘 배선층 PL11의 대청축을 거이트 전국으로 한 N채널형 MOS 트랜지스터 N1가 형성된다. 즉, 플리실리콘 배선층 PL11의 감고리 단부는 도 1의 증가 회로에 따라서 N채널형 MOS 트랜지스터 N1과 N1'의 게이트끼리 의 접숙을 달성하고 있다.

이를 M채널형 MOS 트랜지스터 N1 및 N1 에 대해서도 상기한 N채널형 MOS 트랜지스터 N3 및 ME와 마찬가지로 즐리실리콘 배션층 PL11의 갈고리 단부의 주축과 대칭이 병립 배치되어 있기 때문에 n+ 확산 영역 FL24~26을 제 1 웹 경계선과 평향한 방향이고 또한 일적선상에 배치할 수 있고, 이것에 의해 n+ 확산 영역 FL25을 M채널형 MOS 트랜지스터 N1 및 N1 에 있어서 공유하는 것이 가능해지고 있다. 이 n+ 확산 영역 FL25일 공유는 도 1의 등가 회로에 따라서 M채널형 MOS 트랜지스터 N1과 N1 의 드레인끼리의 접속을 단성함과 동시에 M채널형 MOS 트랜지스터 N1 및 N1 의 점유 면적의 축소화에 기여하고 있다.

또한, 도시하는 바와 말이 즐리실리콘 배선총 PL21과 폴리실리콘 배선총 PL11의 주축은 동일 직선 상에 위치하고 폴리실리콘 배선총 PL22와 폴리실리콘 배선총 PL11의 대청촉도 동일 직선 상에 위치하고 있으므로, N채널형 NOS 트랜지스터 N1 및 N1 와 N채널형 NOS 트랜지스터 N3 및 N5의 배치 간격을 작게 할 수 있다. 제 1 P월 영역 PPI에 있어서 이름 4개의 N채널형 NOS 트랜지스터의 점유 면적의 축소화가 실현되고 있다.

한편, 제 2 P웰 영역 PM2에 있어서도 마찬가지로 폴리실리콘 배선총 PL31을 사이에 두는 위치에 H형 봅순 물의 주입에 의해 n+ 확산 영역 FL31 및 FL32가 형성되는 것에 의해 즐리실리콘 배선총 PL31을 게이트 전 곡으로 한 N재념형 MDS 트랜지스터 NG이 형성된다. 또한, 즐리실리콘 배선총 PL32를 사이에 두는 위치에 마 확산 영역 FL32 및 FL33이 형성되는 것에 의해 즐리실리콘 배선총 PL32를 게이트 전국으로 한 N재념형 NOS 트랜지스터 N4가 형성된다.

이를 N채널형 MDS 트랜지스터 N4 및 N6도 또한 플리셜리콘 배선총 PL31 및 PL92가 병혈 배치되어 있기 때문에 IH 확산 영역 FL31~33을 제 2 웹 경계선과 평향한 방향이고 또한 동일 직선 상에 배치할 수 있고, 미것에 의해 IH 확산 영역 FL32을 N채널형 MDS 트랜지스터 M4 및 MG에 있어서 공유하는 것이 가능해지고 있다. 이 IH 확산 영역 FL32의 공유는 도 1의 동가 회로에 ID라서 N채널형 MDS 트랜지스터 N4와 N6의 소 스페리의 접속을 달성할과 동시에 N채널형 MDS 트랜지스터 N4 및 N6의 점유 면적의 축소화에 기여하고 있다.

또한, 제 2 P塑 명역 PW2에는 플리ြ스로 배선용 PL12의 라고리 단부의 주축을 사이에 두는 위치에 M형 탈순물의 주입에 의해 in 확산 명역 FL34 및 FL35가 형성된다. 이것에 의해, 플리십리콘 배선용 PL12의 각 주축을 게이트 전국으로 한 N채널형 MOS 트랜지스터 N2가 형성된다. 또한, 플리십리콘 배선용 PL12의 감고리 단부의 대청축을 사이에 두는 위치에 in 확산 명역 FL36 및 FL36이 형성되는 것에 의해 플리십리콘 배선용 PL12의 대청축을 게이트 전국으로 한 N채널형 MOS 트랜지스터 N2'이 형성된다. 즉, 플리실리콘 배선용 PL12의 감고리 단부는 도 1의 등가 회로에 따라서 N채널형 MOS 트랜지스터 N2와 N2'의 게이트끼리의 집속을 달성하고 있다.

이들 K채널형 KDS 트랜지스터 K2 및 K2·에 대해서도 상기한 K채널형 KDS 트랜지스터 K4 및 N6과 마찬가지로 즐리실리콘 배선총 PL12의 갈고리 단부의 주축과 대청축이 병렬 배치되어 있기 때문에 n+확산 명역 FL34~35를 제 2 월 경계선과 평향한 방향이고 또한 동일 직선 상에 배치할 수 있고, 이것에 의해 n+확산 명역 FL36를 N채널형 KDS 트랜지스터 K2 및 K2·에 있어서 공유하는 것이 가능해지고 있다. 이 n+확산 영역 FL35의 공유는 도 1의 등가 회로에 CD라서 K채널형 KDS 트랜지스터 K2와 K2·의 드레인페리의 접속을 당성합과 동시에 K채널형 KDS 트랜지스터 K2 및 K2·의 점유 면적의 축소화에 기여하고 있다.

또한, 도시하는 바와 같이 즐리실리콘 배선총 PL31과 중리실리콘 배선총 PL12의 주축은 동일 직선 상에 위치하고 즐리실리콘 배선총 PL32와 중리실리콘 배선총 PL12의 대칭축도 동일 직선 상에 위치하고 있으므로, M체널형 MOS 트랜지스터 M2 및 M21와 M제널형 MOS 트랜지스터 M4 및 M6의 배치 간격을 작게 할 수 있 어 제 2 P행 영역 PM2에 있어서 이름 4개의 M채널형 MOS 트랜지스터의 점유 면적의 축소화가 살현되어 있다.

그리고, N월 영역 NW에서는 즐리실리콘 배선층 PL11의 주축을 사이에 두는 위치에 P형 불순물의 주입에 의해 p+ 확산 영역 FL11 및 FL12가 형성된다. 이것에 약해, 즐리실리콘 배선층 PL11을 게이트 전국으로 한 P채널형 NOS 트랜지스터 P1이 형성된다. 또한, 즐리실리콘 배선층 PL12의 주축을 사이에 두는 위치에 p+ 확산 영역 FL13 및 FL14가 형성되는 것에 약해 폴리실리콘 배선층 PL12를 게이트 전국으로 한 P채널형 NOS 트랜지스터 P2가 형성된다.

이블 P채널형 NOS 트랜지스터 P1 및 P2의 배치 위치는 중리실리콘 배선총 PL11 및 PL12의 위치에 따라서 결정되지만, 이 플리실리콘 배선총 PL11 및 PL12의 위치 간격은 도 2에 도시하는 비와 같이 p+ 확산 영역 FL12 및 FL13의 크기 정도(트랜지스터의 최소 피치)까지 좁힐 수 있다. 특히, 이름 p+ 확산 영역 FL12 및 FL13의 크기를 제 1 P헬 영역 P메의 n+ 확산 영역 FL22 및 FL25와 제 2 P웰 영역 PW2의 n+ 확산 영역 FL32 및 FL35와 동일 정도로 하는 것에 의해, 이 메모리 셀의 레이마웃에 필요한 전체 정유 면적을 최소

母2001-0106233

로 할 수 있다.

미것은 동시에 클리싫리콘 배선총 PL21, PL11의 주축, PL12의 대성축 및 PL32를 통일 직선 상에 배치하고 또한 플리실리콘 배선총 PL22, PL12의 주축, PL11의 대청축 및 PL31을 통일 직선 상에 배치할 수 있다는 것을 의미하고 있다.

또, 도 2에 도시하는 바와 같이 폴리실리콘 배션총 PL11, PL12, PL21, PL22, PL31 및 PL32와, p+ 확산 영역 FL11~14와, p+ 확산 영역 FL21~26 및 FL31~36에는 각각 1개씩 상용과의 전기적 접속을 달성하기 위한 컨택트 홈이 마련되고 있다.

다음에, 도 201 도시한 레이머의 상총에 위치하는 레이어에 대해서 설명한다. 도 3은 도 2에 도시한 레이머 상에 형성되는 제 1 급속 배선총을 포함하는 레이어를 도시한 도면이다. 도 3에 도시하는 레이어에는 하용의 마 확산 영역 FL22 및 FL25와, 마 확산 영역 FL12와, 폴리살리콘 배선총 PL12를 건기적으로 접속하기 위한 제 1 급속 배선총 AL11이 형성된다. 이 제 1 급속 배선총 AL11에 의해 도 1의 등가 회로에 따라서 N채널형 MOS 트랜지스터 NG 및 NS의 소스와 N채널형 MOS 트랜지스터 NI 및 NI의 드레인과, 제 1 CMOS 인배터의 출력 단자와, 제 2 CMOS 인배터의 입력 단자의 접속이 달성된다.

또한, 하용의 n+ 확산 영역 FL32 및 FL35와, p+ 확산 영역 FL13과, 플리심리콘 배선총 PL11을 전기적으로 접속하기 위한 제 1 금속 배선총 AL12가 행성된다. 이 제 2 금속 배선총 AL12에 의해 도 1의 동가 회로 에 IDP라서 N채널형 MDS 트랜지스터 M4 및 M6의 소스와, N채널형 MDS 트랜지스터 M2 및 M2'의 드레인과, 제 2 CMDS 인버터의 참혁 단자와, 제 1 CMDS 인버터의 압력 단자의 접속이 탐성된다.

특히, 제 1 금속 배선층 ALII에 있어서, i 확산 영역 FL32 및 FL35와, i 확산 영역 FL13과의 접점부분 은 상습한 바와 같이 동일 직선 상에 배치되어 있기 때문에, 그룹 3점을 접속하는 배선의 형상을 직선 형 상으로 할 수 있다. 또한, 제 1 금속 배선층 ALI2에 대해서도 마찬가지이다.

또한, 도 3에 도시하는 레이머에는 하층의 p+ 확산 영역 FL11의 접속점을 이름시키기 위한 제 1 금속 배선총 AL15와 p+ 확산 영역 FL14의 접속점을 미통시키기 위한 제 1 금속 배선총 AL16이 형성되고, 하층의 p+ 확산 영역 FL23의 접속점을 미통시키기 위한 제 1 금속 배선총 AL17과 n+ 확산 영역 FL33의 접속점을 미통시키기 위한 제 1 금속 배선총 AL18이 형성된다.

다음에, 도 3에 도시한 레이어의 상흥에 위치하는 레이어에 대해서 설명한다. 도 4는 도 3에 도시한 레이어 성에 형성되는 제 2 금속 배선흥을 포함하는 레이어를 도시한 도면이다. 도 4에 도시하는 레이어에는 도 3에 도시한 제 1 금속 배선흥 AL15를 경유하며 한 확산 영역 FL11에 전원 전위 YDD를 부여하고 또한 제 1 금속 배선흥 AL16를 경유하며 한 확산 영역 FL11에 전원 전위 YDD를 부여하고 또한 제 1 금속 배선흥 AL10이 형성된다. 즉 기 제 2 금속 배선흥 AL21은 전원 전위 YDD 라인으로서 기능하고 도 1의 등 가 회로에 있어서 P채널형 MDS 트랜지스터 P1의 소스와 전원의 접속 및 P채널형 MDS 트랜지스터 P2의 소스와 전원의 접속을 당성하는 것이다.

또한, 도 3에 도시한 컨택트 홈 제 1 비마홈를 경유하여 아 확산 영역 FL24 및 FL26과 아 확산 영역 FL34 및 FL36에 각각 접지 전위 6MD를 부여하기 위한 제 2 금속 배선흥 AL22 및 AL23이 형성된다. 즉, 미듭 제 2 금속 배선총 AL22 및 AL23은 접지 전위 GND 라민으로서 기능하고, 도 1의 등가 회로에 있어서 N제널 형 MDS 트랜지스터 N1, N1, N2 및 N2 의 각 소스의 접지를 달성하는 것이다.

특히, 도 2에 도시한 바와 같이, 마 확산 명역 FL24 및 FL26은 제 1 헬 경계선과 평행한 직선 상에 배치되기 때문에, 그글 마 확산 영역상의 각 컨택트 홈도 또한 양 컨택트 홈을 연결하는 직선이 제 1 헬 경계선과 평행한 위치에 형성할 수 있다. 즉, 도 40% 도시하는 제 2 금속 배선총 AL22를 제 1 웰 경계선과 평행한 직선 형상으로 형성할 수 있게 된다. 제 2 금속 배선총 AL23에 대해서도 마찬가지이다.

또한, 도 4에 도시하는 레이어에는 도 3에 도시한 컨택트 흡·제 1 비마홀을 거쳐서 하용의 p+ 확산 영역 FL21에 접속되어 제 1 정상 비트선 B100으로서 기능하는 제 2 금속 배선용 AL24와, p+ 확산 영역 FL26에 접속되어 제 2 정상 비트선 B110으로서 기능하는 제 2 금속 배선용 AL25와, p+ 확산 영역 FL36에 접속되 어 제 1 역상 비트선 BL01로서 기능하는 제 2 금속 배선용 AL25과, p+ 확산 영역 FL31에 접속되어 제 2 역상 비트선 BL11로서 기능하는 제 2 금속 배선용 AL27이 형성된다.

즉, 이콜 제 2 금속 배선총 AL24~AL27은 도 1의 등가 회로에 있어서 N재널형 NDS 트런지스터 N3의 반도체 단지의 다른 즉(드레인)과 제 1 정상 비트선 BLOD의 접속과, N채널형 NDS 트런지스터 N5의 반도체 단지의 다른 즉(드레인)과 제 2 정상 비트선 BLOD의 접속과, N채널형 NDS 트런지스터 N4의 반도체 단지의 다른 즉(드레인)과 제 1 역상 비트선 BLOI의 접속과, N채널형 NDS 트랜지스터 N6의 반도체 단지의 다른 즉(드레인)과 제 1 역상 비트선 BLOI의 접속과, N채널형 NDS 트랜지스터 N6의 반도체 단지의 다른 즉(드레인)과 제 2 역상 비트선 BLOI의 접속을 달성하는 것이다.

특히, 이들 제 2 금속 배선총 A24~A27은 제 1 웹 경계선과 평향한 방향으로 연장하는 직선 형상으로 험상할 수 있다. 미것은 1개의 매모리 생내에 있어서 제 1 정상 비트선 BLOO, 제 2 정상 비트선 BLIO, 제 1 역상 비트선 BLO1 및 제 2 역상 비트선 BLII의 각 필이를 더욱 짧게 한 것을 의미한다.

다음에, 도 4배 도시한 레이더의 상충에 위치하는 레이더에 대해서 설명한다. 도 5는 도 4에 도시한 레이어 상에 형성되는 제 3 금속 배선충을 포함하는 레이더를 도시한 도면이다. 도 5해 도시하는 레이더에는 제 1 비아홉 및 제 2 네이홉을 경유하여 폴리실리콘 배선충 PL21과 PL32를 전기적으로 접숙합과 등시에 제 1 위도선 배인으로서 기능하는 제 3 금속 배선충 AL31이 형성된다. 즉,이 제 3 금속 배선충 AL31은 도 1의 등가 회로에 있어서 N채널형 MOS 트랜지스터 N3 및 N4의 게이트와 제 1 워드선 베이의 접속을 달성하는 것이다.

또한, 제 1 비아홉 및 제 2 비아홉을 경유하여 돌라실리콘 배선용 PL22와 PL31를 전기적으로 접속합과 동 시에 제 2 위도선 WLI로서 기능하는 제 3 급속 배선용 AL32가 형성된다. 즉, 이 제 3 급속 배선용 AL32 는 도 1의 동가 회로에 있어서 H채널형 MDS 트랜지스터 N5 및 N6의 게이트와 제 2 위도선 WL1의 접속을 담성하는 것이다.

록하, 도 2에 도시한 바와 같이, 폴리실리콘 배선총 PL21 및 PL32는 쟤 1 햄 경계선에 대해서 수직인 방

향으로 연장하는 동일 작선 상에 배치되기 때문에, 그를 즐리실리콘 배선총상의 각 컨택트 홀 동도 또한 양 컨택트 홀 동물 연결하는 작선이 제 I 웹 경계선에 대해서 수작으로 되는 위치에 형성할 수 있다. 즉,도 5에 도시하는 제 3 금속 배선총 AL31을 제 I 웹 경계선에 대해 수작인 방향으로 연장시키는 작선 형상으로 형성할 수 있게 된다. 제 3 금속 배선총 AL32에 대해서도 마찬가지미다. 이것은 1개의 메모리 셈내에 있어서 제 일 워드선 펜 0 및 제 2 워드선 펜 1의 각 길이를 더욱 짧게 한 것을 의미한다.

이상에서 설명한 바와 함이, 실시에 1에 따른 반도체 기억 장치에 의하면, 액세스 게이트로서 기능하는 N 채널형 MDS 트랜지스터 NG 및 N5(M 및 N6)가 서로의 반도체 단자끼리의 접속점에 있어서 n+ 확산 영역 FL22(FL32)를 공유함과 통시에, 각 반도체 단자로 되는 n+ 확산 영역 FL21~23(FL31~33)이 제 1 웹 경계 선과 평행한 방향으로 일직선상에 배치되도록 형성되므로, N채널형 MDS 트랜지스터 NG 및 N5(M 및 N6)의 점유 면적을 작게 할 수 있다. 이것에 의해, 메모리 셀 머레이의 집적도를 높임 수 있게 된다.

또한, 제 1 정상 비트선 B.00, 제 2 정상 비트선 B.10, 제 1 역상 비트션 B.D1 및 제 2 역상 비트선 B.11 로서 순서대로 기능하는 제 2 금속 배선용 A.24~A.2701 제 1 P젤 영역 PWI 및 제 2 P젤 영역 PWZ와 N델 영역 NP의 경계선과 평望하게 병렬 배치되도록 형성되는 것에 의해, 미출 비트선의 립이를 더욱 짧게 할 수 있으므로 비트선의 배선 용량을 저감할 수 있고, 미것에 의해 고속인 액세스가 가능해진다.

또한, 제 1 워드선 및 이 및 제 2 워드선 WLI로서 순서대로 기능하는 제 3 금속 배선총 AL31 및 AL32가 제 1 P텔 영역 PWI 및 제 2 P텔 영역 PW2와 N행 영역 N®의 경계선과 적교하도록 형성되는 것에 의해, 이를 워드선의 길이를 더욱 짧게 할 수 있으므로 워드션의 배선 용량도 자감할 수 있고, 이것에 의해 고속인 액세스가 가능해진다.

또한, N대널형 NOS 트런지스터 N1 및 N2(N1 및 N2')는 2개의 P행 영역으로 분할되기 때문에 각 트런지스터의 폭출 크게 할 수 있고, 미것에 의해 비토션의 때냄(인출)이 빨라져 더욱 고속인 액세스가 가능해진다.

또한, 구동트랜지스터로서 기능하는 드라이버 트랜지스터 Ni과 Ni (또는 N2와 N2)을 병협로 형성하는 것 에 의해 트랜지스터의 푹 W를 크게 취할 수 있고, 이것에 의해 비트선의 패범 속도가 빨리지 결과적으로 판독 액세스의 고속화를 도모할 수 있게 된다.

또한, 상기한 분함에 의해, 액세스 게이트로서 기능하는 N채널형 MOS 트랜지스터 N3 및 N5와 구동트랜지스터로서 기능하는 N채널형 MOS 트랜지스터 N1 및 N1'의 트랜지스터 비를 크게 취할 수 있으므로, 설의 인정성을 향상시킬 수 있다. N채널형 MOS 트랜지스터 N4 및 N6과 N채널형 MOS 트랜지스터 N2 및 N2'에 대해서도 마찬가지미다.

또한, 기억 노드 NA 및 MD를 형성하는 드레인 영역을 공통의 n+ 확산 영역으로 하고 있으므로 그 면적을 작게 함 수 있고, 기생 용량이 저감되어 결과적으로 기록시의 액세스의 고속화를 도모할 수 있다.

또한, 클리싊리콘 배선총을 일직선에 형성할 수 있으므로, 반도체 제조 공정에 있어서 레이아웃 패턴 형 성시의 마스크 어긋남 동에 의한 프로세스 마진을 크게 취할 수 있다.

(실시예 '2)

다음에, 실시예 2에 따른 반도체 기억 장치에 대하여 설명한다. 도 7은 실시예 2에 따른 반도체 기억 장치의 메모리 셈의 레이아웃도이며, 상기한 도 2에 대응한다.

도 70개 도시하는 바와 같다, 십시예 2에 따른 반도체 기억 장치는 P헬 영역 PM1에 있어서, N채널형 MOS 트랜지스터 N3 및 N5의 각 드레인 확산 영역과 N채널형 MOS 트랜지스터 N1 및 N1 의 각 드레인 확산 영역을 공통의 n+ 확산 영역 FL41에 의해 형성하고, P헬 영역 PW2에 있어서 N채널형 MOS 트랜지스터 N4 및 N6의 각 드레인 확산 영역과 N채널형 MOS 트랜지스터 N2 및 N2 의 각 드레인 확산 영역을 공통의 n+ 확산 영역 FL42에 의해 형성한 것을 특징으로 하고 있다.

또한, 이에 따라, 도 2에 도시한 폴리심리콘 배선층 PL11 및 PL12 대선에 도 7에 도시하는 바와 같은 형상의 플리심리콘 배선층 PL51 및 PL52가 형성되어 있다. 다른 상총의 금속 배선 동의 레이아웃은 도 3~5에 도시한 것과 마찬가지이므로 여기서는 그룹의 설명을 생략한다.

미상에서 설명한 바와 같이, 실시에 2에 따른 반도채 기억 장치에 의하면, 상기한 바와 같은 공유의 n+ 화산 영역의 형성에 의해서도 실시에 1에 의한 효과를 얻을 수 있다.

또, 미상에서 실명한 실시며 1 및 2에 있어서, N채널형 NOS 트랜지스터 N1'및 N2'는 생략할 수도 있다.

(실시예 3)

다음에, 실시에 30개 따른 반도체 기억 장치에 대하며 설명한다. 실시에 3은 2포트 SRAM 셀音 구성하는 다른 등가 최로에 대한 레이이웃구성에 대해서 설명하는 것이다. 도 8은 실시에 30개 따른 반도체 기억 장치의 등가 회로를 도시한 도면이다. 도 8에 있어서, P채널형 MOS 트랜지스터 PI과 M채널형 MOS 트랜지 스터 NI은 제 I CMOS 인버터를 구성하고, P채널형 MOS 트랜지스터 P2와 M채널형 MOS 트랜지스터 N2는 제 2 CMOS 트랜지스터를 구성하고 있고, 이를 CMOS 인버터사이에서 입출력 단자가 교차 접속되어 있다.

즉, 이들 MOS 트랜지스터 P1, P2, N1 및 N2에 의해서 클립클홈 회로가 구성되고, 도 8 증, 상기한 제 1 CMOS 인버터의 출력점이고 또한 제 2 CMOS 인버터의 압력점이기도 한 기억 노드 MA와 제 2 CMOS 인버터의 압력점이기도 한 기억 노드 MA와 제 2 CMOS 인버터의 압력점이기도 한 기억 노드 MB에 있어서 논리상태의 기록 및 판독이가능해진다.

또한, N재널형 MOS 트랜지스터 N3 및 N4는 각각 액세스 개이트로서 기능하고, N채널형 MOS 트랜지스터 N3 은 게이트를 제 1 워드션 WNL에 접속하고 소스를 상기 한 기억 노트 NA에 접속합과 등시에 드레인을 제 1 ï

정상 비트선 WBLI에 접속하고 있다. 또한, N채널형 MDS 트랜지스터 N4는 게미트를 상기 제 1 워드션 WBL 에 접속하고 소스콥 기억 노드 MA에 접속함과 동시에 게이트를 역상 비트선 WBL2에 접속하고 있다.

또한, 기억 노드 MA에는 N채널형 MOS 트렌지스터 N8의 게이트가 접속되어 있고, N채널형 MOS 트랜지스터 N8의 소스는 접지되어 있다. 또한, N채널형 MOS 트렌지스터 N8의 드레인은 N채널형 MOS 트렌지스터 N8의 소스에 접속되고, N채널형 MOS 트렌지스터 N9는 게이트를 제 2 위드선 RWL에 접속하고 드레인을 제 2 정 상 비트선 RBL에 접속하고 있다.

즉, 워드선 뺁L, 제 1 정상 비트선 때L1 및 역상 비트선 MBL2의 선택에 의해 제 1 포트에 의한 기억값의 판독 및 기록을 가능하게 하고, 제 2 워드선 RML 및 제 2 정상 비트선 RML의 선택에 의해 제 2 포트에 의한 한 기억값의 판독을 가능하게 하고 있다. 특히, 미 제 2 포트에 의한 판독 동작은 메모리 셀의 기억 노 도 MA 및 MB의 데이터를 파괴하는 일없이 제 1 포트와 완전히 독립해서 동작할 수 있다는 특징을 갖고 있다.

여기서, 도 8에 도시한 등가 회로 자체는 중래의 2포트 SRAM 셀의 회로로서 기지의 구성이지만, 실시예 3에 따른 반도체 기억 장치에서는 그의 구조에 특징이 있다. 도 9~도 12는 실시예 3에 따른 반도체 기억 장치의 메모리 셀의 레이아웃도이다. 또한, 도면중, 컨택트 홈이나 비아홉 등의 각중 기호는 도 6에 도 시한 바와 같다.

우선, 도 9는 반도체 기판 중에 형성된 ່ 형역의사, 그 웹 영역에 형성된 확산 영역과, 그들의 상면에 형성된 즐리실리콘 배선총을 포함하는 레미머를 도시한 도면이다.

실시예 3에 따른 반도체 기억 장치의 메모리 썰메서는 도 9에 도시하는 바와 같이 실시예 1과 마찬가지로 반도체 기판상의 평면방향에 있어서 N월 명역 N예를 사이에 두고 제 1 P월 명역 P메과 제 2 P월 명역 P메고 가 배치되고, 또한 그룹 월 영역은 상기 제 1 월 경계선과 상기 제 2 월 경계선이 평행하게 되도록 형성 되어 있다. 또한, 도시하고 있지 않지만, N월 명역 N필와 제 1 P월 영역 P메 사이 및 N월 명역 N메와 제 2 P월 영역 PM2 사이에 각각 분리영역이 존재한다.

도 9에 있어서, 제 1 P텔 영역 PM에는 도 8에 도시한 N채널형 NOS 트랜지스터 N1 및 N3이 형성되고, N협 영역 NM에는 도 8에 도시한 P채널형 NOS 트랜지스터 P1 및 P2가 형성되고, 제 2 P텔 영역 PM2에는 도 8에 도시한 N채널형 NOS 트랜지스터 N2, N4, N8 및 N9가 형성된다.

미하에, 도 9~도 12에 도시한 각 레이더의 구조에 대해서 순서대로 설명한다. 우선, 도 9에 도시하는 레미더에 있어서 제 1 P텔 영역 PWI에 상기한 제 1 휔 경계선에 대해서 수직인 병향으로 연장해서 병렵 배치된 즐리실리콘 배선층 PL21이 형성된다.

또한, 제 1 P혈 영역 PMI로부터 N행 영역 NM에 검쳐서 제 1 헬 경계선에 대해서 수직인 방향으로 일직선으로 연장한 빨리실라콘 배선총 PL11이 형성된다. 또, 빨리실리콘 배선총 PL11의 한쪽 단부는 도 9에 도시하는 비와 같이 제 2 헬 경계선상에 위치한다.

그리고, 제 1 P월 영역 PPI에 있어서 퀄리십리콘 배선총 PL21을 사이에 두는 위치에 N형 불순종의 주입에 의해 in 화산 영역 FL22 및 FL23이 형성된다. 이것에 의해, 플리십리콘 배선총 PL21을 게이트 전국으로 한 N채널형 MOS 트랜지스터 N3이 형성된다. 또한, 폴리십리콘 배선총 PL11을 사이에 두는 위치에 in 확 산 영역 FL21 및 FL22가 형성된다. 이것에 의해, 플리십리콘 배선총 PL11을 게이트 전국으로 한 N채널형 MOS 트랜지스터 N1이 형성된다.

특히, 미플 K채널형 MOS 트런지스터 N1 및 N3은 폴리셜리콘 배선총 PL11 및 PL21이 병렴 배치되어 있기때문에, 마 확산 영역 FL21~23을 제 1 한 경계선과 평향한 방향미고 또한 일직선상에 배치할 수 있고, 미것에 의해 마 확산 영역 FL22를 N채널형 MOS 트랜지스터 N1 및 N3에 있어서 공유하는 것이 가능해지고 있다. 미 마 확산 영역 FL22의 공유는 도 8의 등가 회로에 따르면 N채널형 MOS 트랜지스터 N1의 드레인과 N채널형 MOS 트랜지스터 N1의 드레인과 N채널형 MOS 트랜지스터 N1 및 N3의 점 유 면적의 즉소회에 기대하고 있다.

한편, 제 2 P혈 영역 PW2에는 상기한 제 2 혈 경계선에 대해서 수직인 방향으로 연장해서 일직선상에 병 렬 배치된 2개의 플리실리콘 배선총 PL31 및 PL33이 형성된다. 또한, 제 2 P텔 영역 PW2로부터 N월 영역 RW에 걸쳐서 제 2 힘 경계선에 대해서 수직인 방향으로 일직선으로 연장한 폴리실리콘 배선총 PL12가 형 성된다. 또, 폴리실리콘 배선총 PL12의 한쪽 단부는 도 9에 도시하는 바와 같이 제 1 할 경계선상에 위 치한다.

그리고, 폴리심리콘 배선용 PL33를 사이에 두는 위치에 N형 불순률의 주입에 약해 마 확산 영역 FL36 및 RLSG가 형성되는 것에 약해서, 폴리삼리콘 배선용 PL33를 게이트 전국으로 한 K채널형 KDS 트랜지스터 N4 가 형성된다. 또한, 플리실리콘 배선용 PL12를 사이에 두는 위치에 마 확산 영역 FL34 및 FL35가 형성되 는 것에 약해서, 폴리실리콘 배선용 PL12를 게이트 전국으로 한 K채널형 MDS 트랜지스터 N2가 형성된다.

이들 N채널형 MOS 트랜지스터 N2 및 M수 폴리실리콘 배선을 PL33 및 PL12가 병형 배치되어 있기 때문에 마 확산 영역 FL34~36를 제 2 펼 경계전과 평향한 방향이고 당한 동일 작선 상에 배치할 수 있고, 이곳에 의해 마 확산 영역 FL35를 N채널형 MOS 트랜지스터 N2 및 N4에 있어서 공유하는 것이 가능해지고 있다. 이 마 확산 영역 FL35의 공유는 도 6의 등가 회로에 따라서 N채널형 MOS 트랜지스터 N2의 드레인과 N채널형 MOS 트랜지스터 N4의 소스의 접속을 달성함과 동시에 N채널형 MOS 트랜지스터 N2 및 N4의 점유 면적의 축소회에 기여하고 있다.

도 9에 있어서 또 옮리실리콘 배선총 PL31출 사이에 두는 위치에 N형 불순물의 주입에 의해 마 확산 영목 FL33 및 FL32가 형성되는 것에 의해서, 졸리실리콘 배선총 PL12출 사이에 두는 위치에 다 전국으로 한 N채널형 NCS 트린지스터 NB가 형성된다. 또한, 폴리실리콘 배선총 PL12출 사이에 두는 위치에 마 확산 영역 FL32 및 FL31 이 형성되는 것에 의해서, 폴리실리콘 배선총 PL12출 개이트 전국으로 한 N채널형 NCS 트랜지스터 NBO) 형성된다.

미클 W채널형 #DS 트랜지스터 N8 및 N9는 폴리실리콘 배선층 PL31 및 PL12가 병령 배치되며 있기 때문에

星2001-0106233

마 확산 염역 FL31~33을 제 2 웹 경계선과 평향한 방향미고 또한 동일 직선 상에 배치할 수 있고, 미것 에 의해 마 확산 영역 FL32를 N채널형 MDS 트랜지스터 MB 및 NS에 있어서 공유하는 것이 가능해지고 있다. 이 마 확산 영역 FL32의 공유는 도 8의 등가 회로에 따라서 N채널형 MDS 트랜지스터 N8의 드레인 과 N채널형 MDS 트랜지스터 N9의 소스의 접속을 달성함과 동시에 N채널형 MDS 트랜지스터 N8 및 N9의 점 유 면적의 축소화에 기여하고 있다.

그리고, N웹 영역 NW에 있어서는 폴리실리콘 배선총 PL11을 사이에 두는 위치에 P형 불순물의 주입에 의해 ph 확산 영역 FL11 및 FL12가 형성된다. 이것에 의해, 폴리실리콘 배선총 PL11을 게이트 전국으로 한 P채널형 MDS 트랜지스터 P1이 형성된다. 또한, 폴리실리콘 배선총 PL12을 사이에 두는 위치에 ph 확산 영역 FL13 및 FL14가 형성되는 것에 의해서, 폴리실리콘 배선총 PL12를 게이트 전국으로 한 P채널형 MDS 트랜지스터 P2가 형성된다.

이들 P채널형 MOS 트랜지스터 P1 및 P2의 배치 위치는 폴리실리콘 배선총 P111 및 P112의 위치에 따라서 결정되지만, 이 폴리실리콘 배선총 P111 및 P112의 위치간격은 도 9에 도시하는 바와 같이 실시예 1과 마 찬가지로 p+ 확산 영역 F112 및 F113의 크기 정도(트랜지스터의 최소 피치)까지 즙립 수 있다. 특히, 이 등 p+ 확산 영역 F12 및 F113의 크기를 제 1 P헬 영역 P때의 n+ 확산 영역 F122 및 제 2 P헬 영역 PW2의 마 확산 영역 F132, F135와 동일 정도로 하는 것에 의해, 이 메모리 셀의 레이아웃에 필요한 전체 점유 면적을 최소로 할 수 있다.

이것은 동시에 플리실리끈 배션총 P.11, P.33 및 P.31을 동일 직선 상에 배치하고 또한 폴리실리콘 배션 총 P.21 및 P.12를 동일 직선 상에 배치할 수 있다는 것을 의미하고 있다.

또, 도 9에 도시하는 비와 같이 폴리실리콘 배선총 P.11, P.12, P.21, P.31 및 P.33과, p+ 확산 영역 FL11~14와, n+ 확산 영역 F.21~23, F.33~36에는 각각 1개씩의 컨택트 홈이, 그리고 p+ 확산 영역 F.31 에는 2개의 컨택트 홈이 상층과의 전기적 접속을 달성하기 위해 마련되어 있다.

다음에, 도 9에 도시한 레이어의 상충에 위치하는 레이어에 대해서 설명한다. 도 10은 도 9에 도시한 레이어어에 당시하는 로 10에 도시하는 레이어에 당시하는 로 10에 도시하는 레이어에 당시하는 라이어 당시하는 레이어에 청성되는 제 1 금속 배선충을 포함하는 레이어를 도시한 도면이다. 도 10에 도시하는 레이어에는 하음의 아 확산 영역 FL22와, 아 확산 영역 FL12와, 플러실리콘 배선충 PL12를 전기적으로 접속하기위한 제 1 금속 배선충 AL11이 형성된다. 도 8의 동가 회로에 따르면, 이 제 1 금속 배선충 AL11에 의해 M채널형 MOS 트랜지스터 NI의 드레인 및 M채널형 MOS 트랜지스터 NI의 소스와, P채널형 MOS 트랜지스터 PI의 드레인과, 제 2 CMOS 인배터의 입력 단자의 접속이 달성된다.

또한, 하용의 안 확산 영역 FL35와, 안 확산 영역 FL13과, 플리심리콘 배선용 PL11을 전기적으로 접속하기 위한 제 1 금속 배선용 AL12가 형성된다. 이 제 2 금속 배선용 AL12에 의해 도 8의 통가 회로에 따라서 M재널형 MOS 트랜지스터 N2의 드레인 및 N채널형 MOS 트랜지스터 N4의 소스와, P채널형 MOS 트랜지스터 P2의 드레인과, 제 1 CMOS 인버터의 압력 단자의 접속이 탐성된다.

통히, 제 1 급속 배선총 AL11에 있어서, M 확산 영역 FL22와 p+ 확산 영역 FL12의 집점부분은 상술한 바 와 같이 동일 직선 상에 배치되어 있으므로, 그를 2점을 집속하는 배선의 형상을 직선 형상으로 할 수 있 다. 제 1 금속 배선총 AL12에 대해서도 마찬가지이다.

또한, 도 10에 도시하는 레이머에는 하층의 아 확산 영역 FL11의 접속점을 미통시키기 위한 제 1 금속 배선총 AL1SD 아 확산 영역 FL14의 접속점을 미통시키기 위한 제 1 금속 배선총 AL16이 형성되고, 하층 의 물리설리콘 배선총 PL21의 접속점을 미통시키기 위한 제 1 금속 배선총 AL13과, 쫇리설리콘 배선총 PL31의 접속점을 미통시키기 위한 제 1 금속 배선총 AL14와, 쫇리콘배선총 PL33의 접속점을 미통시키기 위한 제 1 금속 배선총 AL19가 형성된다.

또한, 동임 레이더에는 하총의 p+ 확산 영역 FL34 및 FL31을 전기적으로 접속합과 동시에 상총과의 접속 점을 이동시키기 위한 제 1 금속 배선총 AL18이 형성된다. 도 8의 동가 회로에 따르면, 이 제 1 금속 배 선총 AL18에 의해 N채널형 MCS 트랜지스터 N2 및 MB의 소스끼리의 접속이 달성된다.

특히, 도 9에 도시하는 바와 같이 n+ 확산 영역 FL34 및 FL31은 제 2 웹 경계선과 수직인 방향의 동일 직 선 상에 배치되기 때문에, 그를 n+ 확산 영역상의 각 컨택트 홈도 또한 그룹 컨택트 홈을 연결하는 직선 이 제 2 웹 경계선과 수직인 동일 직선 상에 형성할 수 있다. 즉, 도 10에 도시하는 제 2 금속 배선총 AL18을 제 2 웹 경계선과 수직인 직선 형상으로 형성할 수 있게 된다.

다음에, 도 10에 도시한 레이머의 상흥에 위치하는 레이어에 대해서 설명한다. 도 11은 도 10에 도시한 레이어상에 형성되는 제 2 급속 배선흥을 포함하는 레이어를 도시한 도면이다. 도 11에 도시하는 레이어 에는 도 10에 도시한 제 1 금속 배선흥 AL15를 경유하여 p+ 확산 명역 FL11에 전원 전위 VDD를 부여하고 또한 제 1급속 배선흥 AL16을 경유하여 p+ 확산 명역 FL14에 전원 전위 VDD를 부여하기 위한 제 2 금속 배선흥 AL21이 형성된다. 즉, 이 제 2 금속 배선흥 AL21은 전원 전위 VDD 라인으로서 기능하고, 도 8의 등가 회로에 있어서 P채널형 MOS 트랜지스터 PI의 소스와 전원의 접속 및 P채널형 MOS 트랜지스터 P2의 소스와 전원의 접속을 당성하는 것이다.

또한, 도 10에 도시한 제 1 금속 배선층 AL17을 경유하여 p+ 확산 영역 FL21에 접지 전위 600를 부여하기 위한 제 2 금속 배선층 AL22와 제 1 금속 배선층 AL18을 경유하여 p+ 확산 영역 FL31 및 FL34에 접지 전 위 6ND를 부여하기 위한 제 2 금속 배선층 AL23이 형성된다. 즉, 이를 제 2 금속 배선층 AL22 및 AL23은 접지 전위 6ND 라민으로서 기능하고, 도 8의 동가 회로에 있어서 N채널형 MOS 트랜지스터 N1, N2 및 NB의 각 소스의 접지금 담성하는 것이다.

또한, 도 11에 도시하는 레디더에는 도 10에 도시한 컨택트 홀+제 I 비아홉을 거쳐서 하층의 p+ 확산 영역 FL23에 접속되어 제 1 정상 비트선 WBL으로서 기능하는 제 2 금속 배선층 AL24와, p+ 확산 영역 FL33에 접속되어 역상 비트선 WBL2로서 기능하는 제 2 금속 배선층 AL25와, p+ 확산 영역 FL33에 접속되어 제 2 정상 비트선 RBL로서 기능하는 제 2 금속 배선층 AL26이 형성된다.

즉, 이물 제 2 금속 배선총 AL24~AL26은 도 8의 동가 회로에 있어서 N채널형 MOS 트랜지스터 NS의 반도

學 2001-0106233

채 단자의 다른 쪽(드레인)과 제 1 정상 비트선 WBL의 접속과, M제념형 MOS 트랜지스터 M4의 반도체 단자의 다른 쪽(드레인)과 역상 비트선 WBL2의 접속과, M재념형 MOS 트랜지스터 M9의 반도체 단자의 다른 쪽(드레인)과 제 2 정상 비트선 RBL의 접속을 달성하는 것이다.

특히, 이들 제 2 금속 배선총 AL24~26은 제 1 웹 경계선과 평행한 방향으로 연장하는 직선 형상으로 형성할 수 있다. 이것은 1개의 메모리 셀내에 있어서 제 1 정상 비트선 WBL1, 역상 비트선 WBL2 및 제 2 정상 비트선 RBL의 각 길이를 더욱 짧게 한 것을 의미한다.

또한, 도 11에 도시하는 레이머에는 하용의 제 1 금속 배선총 AL13과 상흥의 접속점을 이동시키기 위한 제 2 금속 배선총 AL27과, 하용의 제 1 금속 배선총 AL19와 상흥의 접속점을 미동시키기 위한 제 2 금속 배선총 AL26과, 하층의 제 1 금속 배선총 AL14와 상흥의 접속점을 미동시키기 위한 제 2 금속 배선총 AL23가 형성된다.

다음에, 도 11에 도시한 레미머의 상황에 위치하는 레이머에 대해서 설명한다. 도 12는 도 11에 도시한 레이머상에 형성되는 제 3 금속 배선흥을 포함하는 레미머를 도시한 도면미다. 도 12에 도시하는 레이머 메는 제 1 금속 배선흥 AL13 및 제 2 금속 배선흥 AL27을 경유하여 플리실리콘 배선흥 PL21과 PL33을 전 기적으로 잡속함과 동시에 워드선 때문에 기능하는 제 3 금속 배선흥 AL31미 형성된다. 즉, 이 제 3 금 속 배선총 AL31은 도 8의 동가 회로에 있어서 N채널형 NOS 트랜지스터 N3 및 N4의 게이트와 워드선 때문의 접속을 달성하는 것이다.

또한, 제 1 금속 배선총 AL14 및 제 2 금속 배선총 AL29를 경유하여 플리실리콘 배선총 PL31과 전기적으로 접속됨과 등시에, 워드선 R째로서 기능하는 제 3 금속 배선총 AL32가 형성된다. 즉, 이 제 3 금속 배선총 AL32는 도 8의 등가 화로에 있어서 N채널형 MOS 트랜지스터 N6의 게이트와 워드선 RWL의 접속을 달성하는 것이다.

특히, 도 12에 도시한 바와 같이, 제 2 금속 배선총 AL27 및 AL28의 위치 관계에 따라, 양 금속 배선총 사이를 제 1 월 경계선에 대해서 수직인 방향으로 연장하는 직선 형상의 금속 배선총에 의해 접속할 수 있다. 즉, 도 12에 도시하는 제 3 금속 배선총 AL31을 제 1 월 경계선과 수직인 방향으로 연장하는 직선 형상으로 형성할 수 있게 된다. 한편, 제 3 금속 배선총 AL32는 하층과의 접속이 제 2 금속 배선총 AL29 뿐이므로, 제 3 금속 배선총 AL31과 평행하게 연장해서 배치할 수 있다. 이것은 1개의 메모리 셀내에 있 대서 제 1 워드선 때 및 제 2 워드선 RE의 각 길이를 더욱 짧게 한 것을 의미한다.

미상에서 설명한 바와 같이, 설시에 3에 ID를 반도체 기억 장치에 의하면, 액세스 게미트로서 기능하는 N 채널형 MOS 트랜지스터 NG과 클립플롭 회로를 구성하는 N채널형 MOS 트랜지스터 NIGI 한쪽의 반도체 단자 끼리의 접속점에 있어서 in 확산 영역 FL22를 공유합과 동시에, 각 반도체 단자로 되는 in 확산 영역 FL21~23이 제 1 펼 경계선과 평행한 방향으로 알작선상에 배치되도록 형성되므로. N채널형 MOS 트랜지스 터 NI 및 NS의 점유 면적을 작게 할 수 있다. 이것에 의해, 메모리 셀 어레이의 집적도를 높일 수 있게 된다.

또한, 제 1 정상 비트선 WRL1, 역상 비트선 WRL2, 제 1 정상 비트선 WRL2로서 순서대로 기능하는 제 2 금 숙 배선층 AL24~28이 제 1 및 제 2 혤 경계선과 평향하게 병형 배치되도록 형성되는 것에 의해 이들 비 트선의 길이클 더욱 짧게 할 수 있으므로, 비트선의 배선 용량을 저강하는 할 수 있고, 이것에 의해 고속 인 액세스가 가능해진다. 특히, 미블 비트선은 상기 배치에 의해 트랜지스터의 최소 피치의 2배의 길이 까지 좁힘 수 있다.

또한, 제 1 워드선 WML 및 제 2 워드선 RML로서 순서대로 기능하는 제 3 금속 배선총 AL31 및 AL32가 제 1 및 제 2 핼 경계선과 적교하도록 형성되는 것에 의해 이를 워드선의 길이를 더욱 짧게 할 수 있으므로, 워드션의 배선 용량도 저강할 수 있고, 이것에 의해 고속인 액세스가 가능해진다.

또한, 기억 노드 MA 및 MD를 형성하는 드레인 영역을 공통의 p+ 확산 영역으로 하고 있으므로 그의 면적 을 작게 할 수 있고, 기생 용량이 저감되어 결과적으로 기록시의 액세스의 고속화를 도모함 수 있다.

또한, 즐리심리본 배선총을 일직선에 형성할 수 있으므로, 반도체 제조 공정에 있어서 레이이웃 패턴 형성시의 마스크 어긋남 등에 의한 프로세스 마진을 크게 취합 수 있다.

(실시예 4)

다음에, 실시에 4에 따른 반도체 기억 장치에 대해서 실명한다. 실시에 4는 3포트 SRAN 셀읍 구성하는 다른 동가 회로에 대한 레이마웃 구성에 대해서 설명하는 것이다. 도 13은 실시에 4에 따른 반도체 기억 장치의 동가 회로급 도시하는 도면이다. 또, 또 13에 있어서, 제 1 워드션 때교, 제 1 정상 비트션 메니과, 제 1 역상 비트선 베C와, P채널형 NOS 트랜지스터 PI 및 P2와, N채널형 MOS 트랜지스터 NI~N4 로 이루어지는 구성은 도 8에 도시한 것과 마찬가지이므로, 여기서는 그 설명을 생략한다.

도 13에서는 상기 구성에 부가해서 기억 노드 MA에 N채널형 MCS 트랜지스터 N8의 게이트가 접속되어 있고, 그 N채널형 MCS 트랜지스터 N8의 소스는 접지되어 있다. 또한, N채널형 MCS 트랜지스터 N8의 드레 인은 N채널형 MCS 트랜지스터 N9의 소스에 접속되고, N채널형 MCS 트랜지스터 N9는 게이트를 제 2 워드션 RMLI에 접속하고 드레인을 제 2 정상 비트션 RBLI에 접속하고 있다.

또한, 기억 노드 NB에 N채널형 NOS 트랜지스터 N10의 게이트가 접속되어 있고, 그 N채널형 NOS 트랜지스터 N10의 소스는 접지되어 있다. 또한, N채널형 NOS 트랜지스터 N10의 드레인은 N채널형 NOS 트랜지스터 N11의 소스에 접속되고, N채널형 NOS 트랜지스터 N11은 게이트를 제 3 워드선 RML2에 접속하고 드레인을 제 2 역상 비트션 RML2에 접속하고 있다.

즉, 워드선 때, 제 1 정상 비트선 때L1 및 역상 비트선 때L2의 선택에 의해 제 1 포트에 의한 기약값의 판독 및 기록을 가능하게 하고, 제 2 위도선 때L1 및 제 2 정상 비트선 RML1의 선택에 의해 제 2 포트에 의한 기억값의 판독을 가능하게 하고 있다. 또한, 제 3 워드선 RML2 및 제 2 역상 비트선 RML2의 선택에 의해 제 3포트에 의한 기억값의 판독을 가능하게 하고 있다. 특히, 이를 제 2 및 제 3 포트에 의한 판독 동작은 메모리 셈의 기억 노드 MA 및 MB의 데미터를 파괴하는 일없이 제 1 포트와 완전히 독립해서 동작

특 2001-0106233

할 수 있다는 특징을 갖고 있다.

며기서, 도 13에 도사한 등가 회로 자체는 종래의 3포트 SRAM 앱의 회로로서 가지의 구성이지만, 실시에 4에 따른 반도체 기억 장치에서는 그의 구조에 특징이 있다. 도 14~도 17은 실시에 4에 따른 반도체 기억 장치의 메모리 셄의 레이아웃도이다. 또, 도면중 컨택트 홀이나 비아홀 등의 각종 기호는 도 6에 도시한 것과 마찬가지이다.

우선, 도 14는 반도체 기관 중에 형성된 웰 영역과, 그 웹 영역에 형성된 확산 영역과, 그룹의 상면에 형 성된 줍리살리콘 배선총을 포함하는 레이어를 도시한 도면이다.

실시에 4에 따른 반도체 기억 장치의 메모리 셀에서도 도 14에 도시하는 바와 갈미 실시에 1과 마찬가지로 반도체 기판 상의 평면방향에 있어서 M웹 영역 NW를 사이에 두고 제 1 P웹 영역 PWI과 제 2 P웹 명역 PWI가 배치되고, 또한 그룹 펄 영역은 상가 제 1 헬 경계선과 상가 제 2 웹 경계선이 평행하게 되도록 형성되어 있다. 또한, 도시하지 않고 있지만, N텔 영역 NW와 제 1 P젤 명역 PWI 사이 및 N웰 영역 NW와 제 2 P웹 영역 PWZ 사이에 각각 분리영역이 존재한다.

도 14에 있어서, 제 1 P할 영역 P喇에는 도 13에 도시한 N채널형 MOS 트랜지스터 N1, N3, N10 및 N110) 형성되고, N할 영역 MW에는 P채널형 MOS 트랜지스터 PI 및 P2가 형성되고, 제 2 P홸 영역 PM2에는 N채널 형 MOS 트랜지스터 N2, N4, N8 및 N9가 형성된다.

이하에 도 14~도 17에 도시한 각 레이어의 구조에 대해서 순서대로 설명한다. 우선, 도 14에 도시하는 레이어에 있어서 제 1 P웰 영역 P♥1에 삼기한 제 1 웰 경계선에 대해서 수직인 방향으로 연장해서 임직선 상에 병렬 배치된 폴리실리콘 배선총 PL21 및 PL22가 형성된다.

또한, 제 1 P월 영역 PMI로부터 N월 영역 RM에 결쳐서 제 1 월 경계선에 대해서 수직인 방향으로 입직선으로 연장한 줄리실리콘 배선총 PL11이 형성된다. 또, 즐리실리콘 배선총 PL11의 한쪽 단부는 도 14에 도시하는 바와 같이 제 2 월 경계선상에 위치한다.

그리고, 플리심리콘 배선총 PL21을 사이에 두는 위치에 M형 불순물의 주입에 의해 마 확산 영역 FL22 및 FL23이 형성되는 것에 의해서, 폴리심리콘 배선총 PL21을 게이트 전국으로 한 M채널형 MOS 트랜지스터 NO 이 형성된다. 또한, 플리실리콘 배선용 PL11을 사이에 두는 위치에 마 확산 영역 FL21 및 FL22가 형성되 는 것에 의해서, 폴리실리콘 배선총 PL11을 게이트 전국으로 한 K채널형 MOS 트랜지스터 N1이 형성된다.

특히, 이들 N재널형 INS 트랜지스터 N1 및 N3은 플리실리콘 배선용 PL11 및 PL21이 병렬 배치되어 있기때문에 마 확산 영역 FL21~23을 제 1 웹 경계전과 평생한 방향이고 또한 입직선상에 배치할 수 있고, 이 것에 의해 마 확산 영역 FL22를 N채널형 MS 트랜지스터 N1 및 N3에 있어서 공유하는 것이 가능해지고 있다. 이 마 확산 영역 FL22의 공유는 도 13의 동가 회로에 따르면 N채널형 MS 트랜지스터 N1의 드레인과 N채널형 MOS 트랜지스터 N3의 소스의 접속을 달성함과 동시에 N채널형 MOS 트랜지스터 N1 및 N3의 점유 면적의 축소화에 기여하고 있다.

도 14에 있어서는 또한 중리실리콘 배선용 PL22를 AIOI에 두는 위치에 K형 복순물의 주입에 의해 n+ 확산 영역 FL25 및 FL26이 형성되는 것에 의해서, 중리실리콘 배선총 PL22를 게이트 전국으로 한 K채널형 MOS 트런지스터 NITOI 형성된다. 또한, 즐리실리콘 배선총 PL11을 AIOI에 두는 위치에 n+ 확산 영역 FL24 및 FL25가 형성되는 것에 의해서, 중리실리콘 배선총 PL11을 게이트 전국으로 한 N채널형 MOS 트랜지스터 N1001 형성된다.

이름 N채널형 MOS 트랜지스터 NIO 및 NII은 플리실리콘 배선층 PL22 및 PLII이 병결 배치되어 있기 때문에 마 확산 영역 FL24~26을 제 1 할 경계선과 평행한 방향이고 또한 동일 직선 상에 배치할 수 있고, 이 것에 의해 마 확산 영역 FL25를 M채널형 MOS 트랜지스터 NIO 및 NII에 있어서 공유하는 것이 가능해지고 있다. 이 마 확산 영역 FL25의 공유는 도 13의 동가 회로에 따르면 M채널형 MOS 트랜지스터 NIO의 드레인과 M채널형 MOS 트랜지스터 NIO의 드레인과 M채널형 MOS 트랜지스터 NIO 및 NII 의 점수를 당성함과 동시에 M채널형 MOS 트랜지스터 NIO 및 NII 의 점수 면적의 축소화에 기대하고 있다.

한편, 제 2 P할 영역 PW2 및 N텔 영역 NR에 있어서의 확산 영역 및 폴라실리콘 배선총의 형성은 실시예 3 에 있어서 도 9의 설명에서 예시한 것과 마찬가지미므로, 여기서는 그룹의 설명을 생략한다.

따라서, 도 14에 도시하는 비와 같이 품리실리콘 배선총 PL11, PL33 및 PL31이 동일 직선 상에 배치되고 또한 품리실리콘 배선총 PL21, PL22 및 PL12가 동일 직선 상에 배치된다.

또, 도 14에 도시하는 바와 같이 폴리실리콘 배선총 PL11, PL12, PL21, PL22, PL31 및 PL33과, p+ 확산 영역 FL11~14와, p+ 확산 영역 FL21~23, FL26, FL33~36에는 각각 1개씩의 컨택트 혼이, 그리고 n+ 확 산 영역 FL24 및 FL31에는 2개의 컨택트 혼이 상총과의 전기적 접속을 달성하기 위해서 마련되어 있다.

다음에, 도 14야 도시한 레미머의 상흥에 위치하는 레이어에 대해서 설명한다. 도 15는 도 14에 도시한 레이어상에 험성되는 제 1 금속 배선총을 포함하는 레이어를 도시한 도면이다. 또, 도 15에 도시하는 레미머에 있어서 제 2 P월 영역 PM2 및 N월 영역 NP 상의 제 2 금속 배선총의 형성은 실시에 3에 있어서 도 10의 설명에서 예시한 것과 마찬가지이므로, 여기서는 그들의 설명을 생략한다.

도 15에 도시하는 레미어에 있어서, 제 1 P월 영역 PNI에는 하층의 n+ 확산 영역 FL22와, p+ 확산 영역 FL22와, p+ 확산 영역 FL12와, 을리실리콘 배선층 PL12을 전기적으로 접속하기 위한 제 1 금속 배선층 AL11이 형성된다. 도 13의 등가 회로에 따르면, 이 제 1 금속 배선층 AL11에 의해 K제납형 MOS 트랜지스터 N1의 드레인 및 K제납형 MOS 트랜지스터 N3의 소스와, P재낱형 MOS 트랜지스터 PI의 드레인과, 제 2 CMOS 인버터의 입력 단자의 접속이 답성된다.

특히, 제 1 금속 배선용 ALTI에 있머서, n+ 확산 영역 FL22와 p+ 확산 영역 FL12의 접점부분은 상술한 바와 같이 동일 작선 상에 배치되며 있으므로, 그룹 2점을 접속하는 배선의 형상을 작선 형상으로 할 수 있다.

또한, 도 15에 도시하는 레이더에는 하층의 플리실리콘 해선층 PL22의 점속점을 이동시키기 위한 제 1 금

·목2001-0105233

학 배선층 AL13과 클리실리콘 배선층 PL21의 접속점을 이동시키기 위한 제 1 금속 배선층 AL10이 형성된다.

또한, 동일 레이어에는 하층의 p+ 확산 영역 FL24 및 FL21을 전기적으로 접속함과 동시에, 상층과의 접속 점을 이동시키기 위한 제 1 금속 배선층 AL17이 형성된다. 도 13의 등가 회로에 따르면, 이 제 1 금속 배선층 AL17에 의해 N채널형 MOS 트랜지스터 N1 및 N10의 소스끼리의 접속이 달성된다.

특히, 도 14에 도시하는 바와 랆이 n+ 확산 영역 FL24 및 FL21은 제 1 헬 경계선과 수직인 방향의 동일 직선 상에 배치되기 때문에, 그룹 n+ 확산 영역상의 각 컨택트 용도 또한 그를 컨택트 홍을 연결하는 직 선이 제 1 헬 경계선과 수직인 중임 직선 상에 형성할 수 있다. 즉, 도 15에 도시하는 제 2 금속 배선출 AL17을 제 1 웰 경계선과 수직인 직선 형상으로 형성할 수 있게 된다.

다음에, 도 15에 도시한 레이더의 상황에 위치하는 레이더에 대해서 설명한다. 도 16은 도 15에 도시한 레이더상에 형성되는 제 2 금속 배선흥을 포함하는 레이더를 도시한 도면이다. 도 16에 도시하는 레이더에는 도 15에 도시한 제 1 금속 배선흥 AL15를 경유하며 와 확산 영역 FLII에 전원 전위 YDD를 부여하고 있는 제 1 금속 배선흥 AL15를 경유하여 와 확산 명역 FLI4에 전원 전위 YDD를 부여하기 위한 제 2 금속 배선총 AL21이 형성된다. 즉,이 제 2 금속 배선총 AL21은 전원 전위 YDD 라인으로서 기능하고,도 13의 등가 회로에 있어서 P채널형 MOS 트랜지스터 P1의 소스와 전원의 접속 및 P채널형 MOS 트랜지스터 P2의소스와 전원의 접속을 달성하는 것이다.

또한, 도 15에 도시한 제 1 금속 배선총 AL17을 경유하여 p+ 확산 영역 FL21 및 FL24에 접지 전위 6ND를 부여하기 위한 제 2 금속 배선총 AL22와, 제 1 금속 배선총 AL18을 경유하여 p+ 확산 영역 FL31 및 FL34 에 접지 전위 6ND를 부여하기 위한 제 2 금속 배선총 AL23이 형성된다. 즉, 이불 제 2 금속 배선총 AL22 및 AL23은 접지 전위 6ND라인으로서 기능하고, 도 13의 동가 회로에 있어서 N채널형 MOS 트랜지스터 N1, N2, NB 및 N10의 각 소스의 접지를 달성하는 것이다.

또한, 도 16에 도시하는 레이더에는 도 15에 도시한 컨택트 홀+제 1 비아홀音 거쳐서 하용의 p+ 확산 영역 FL23에 접속되어 제 1 정상 비트선 WBL1로서 기능하는 제 2 금속 배선총 AL24와, 하홍의 p+ 확산 영역 FL26에 접속되어 제 2 역상 비트선 RBL2로서 기능하는 제 2 금속 배선총 AL42와, p+ 확산 영역 FL36에 접속되어 역상 비트선 RBL2로서 기능하는 제 2 금속 배선총 AL25와, p+ 확산 영역 FL33에 접속되어 제 2 정상 비트선 RBL1로서 기능하는 제 2 금속 배선총 AL25와, p+ 확산 영역 FL33에 접속되어 제 2 정상 비트선 RBL1로서 기능하는 제 2 금속 배선총 AL26의 형성된다.

즉, 미들 제 2 금속 배선용 AL24~AL26 및 AL42는 도 13의 동가 회로에 있더서 N채널형 KOS 트랜지스터 N3의 반도체 단자의 다른 즉(드레인)과 제 1 정상 비트선 WBL1의 접속과, K채널형 KOS 트랜지스터 N4의 반도체 단자의 다른 즉(드레인)과 역상 비트선 WBL2의 접속과, N채널형 KOS 트랜지스터 N9의 반도체 단자의 다른 즉(드레인)과 제 2 정상 비트선 RBL1의 접속과, N채널형 KOS 트랜지스터 N11의 반도체 단자의 다른 즉(드레인)과 제 2 역상 비트선 RBL2의 접속을 달성하는 것이다.

목히, 미를 제 2 금속 배선총 AL24~26 및 AL42는 제 1 웹 경계선과 평행한 방향으로 연장하는 직선 형상으로 형성할 수 있다. 이것은 1개의 메모리 셀내에 있어서 제 1 정상 비트선 WEL1,역상 비트선 WBL2, 제 2 정상 비트선 RBL1 및 제 2 역상 비트선 RBL2의 각 길이를 더욱 짧게 한 것을 의미한다.

또한, 도 16에 도시하는 레이어에는 하층의 제 1 급속 배선층 AL13과 상층의 접속점을 미팅시키기 위한 제 2 급속 배선층 AL41과, 하층의 제 1 급속 배선층 AL19와 상층의 접속점을 미팅시키기 위한 제 2 급속 배선층 AL28과, 하층의 제 1 급속 배선층 AL10과 상층의 접속점을 미팅시키기 위한 제 2 급속 배선층 AL27이 형성된다. 또한, 하층의 제 1 급속 배선층 AL10과 상층의 접속점을 미팅시키기 위한 제 2 급속 배선층 AL27이 형성된다. 또한, 하층의 제 1 급속 배선층 AL14를 거쳐, 줍리실리콘 배선층 PL31과 상층을 접속하는 제 2 금속 배선층 AL23가 형성된다.

다음에, 도 15배 도시한 레이어의 상황에 위치하는 레이어에 대해서 설명한다. 도 17은 도 16에 도시한 레이어상에 형성되는 제 3 금속 배선총을 포함하는 레이어를 도시한 도면이다. 도 17에 도시하는 레이 어에는 제 1 금속 배선총 AL10및 제 2 금속 배선총 AL27을 경유하여 즐리살리콘 배선총 PL21과 PL33을 전 기적으로 접속함과 등시에 제 1 워드선 WPL로서 기능하는 제 3 금속 배선총 AL31이 형성된다. 즉,이 제 3 금속 배선총 AL31은 도 13의 통가 회로에 있어서 K채널형 MDS 트런지스터 KG 및 M4의 게이트와 제 1 및 드선 WPL의 접속을 당성하는 것이다.

또한, 제 1 금속 배선총 AL14 및 제 2 금속 배선총 AL29룹 경유하여 플리실리콘 배선총 PL31과 전기적으로 접속될과 동시에 제 2 워드선 RMLI로서 기능하는 제 3 금속 배선총 AL32가 형성된다. 즉, 이 제 3 금속 배선총 AL32가 형성된다. 즉, 이 제 3 금속 배선총 AL32는 도 13의 동가 회로에 있어서 N채널형 MOS 트랜자스터 N6의 게이트와 제 2 워드션 RML1의 접속을 달성하는 것이다.

또한, 제 1 금속 배선용 AL13 및 제 2 금속 배선용 AL41을 겸유하여 클리실리콘 패션용 PL22와 전기적으로 접속됨과 동시에 제 3위도선 RML2로서 기능하는 제 3 금속 배선용 AL33이 형성된다. 즉, 이 제 3 금속 배선용 AL33은 도 13의 동가 회로에 있어서 M채널형 MOS 트랜지스터 NH의 게이트와 제 3 워도선 RML2의 접속을 달성하는 것이다.

특히, 도 17에 도시하는 바와 같이 제 2 급속 배선총 AL27 및 AL28의 위치 관계에 따라, 양 금속 배선총 사이를 제 1 웰 경계선에 대해서 수직인 방향으로 연장하는 직선 형상의 금속 배선총에 의해 접속할 수 있다. 즉,도 17에 도시하는 제 3 금속 배선총 AL31을 제 1 웰 경계선과 수직인 방향으로 연장하는 직선 형상으로 형성할 수 있게 된다. 한편, 제 3 금속 배선총 AL32는 하홍과의 접속이 제 2 금속 배선총 AL29 뿐이고, 제 3 금속 배선총 AL33은 하홍과의 접속이 제 2 금속 배선총 AL41뿐이므로, 각각 제 3 금속 뿐이고, 제 3 금속 배선총 AL33은 하홍과의 접속이 제 2 금속 배선총 AL41뿐이므로, 각각 제 3 금속 총 AL31과 평행하게 연장해서 배치할 수 있다. 미것은 1개의 메모리 셀내에 있어서 제 1 워드선 째, 제 2 워드선 RML1 및 제 3 워드선 RML2의 각 길이를 더욱 짧게 한 것을 의미한다.

이상에서 설명한 바와 같이, 실시에 4에 따른 반도체 기억 장치에 의하면 3포트 SRAM 셀에 있어서도 실시 예 3에 의한 효과者 얻을 수 있다.

每2001-0106233

(실시여 5)

다음에, 실시에 5에 따른 반도체 기억 창치에 대해서 설명한다. 실시에 4는 차분 판독형 2포트 SRAM 설 을 구성하는 다른 동가 회로에 대한 레이아웃 구성에 대해서 설명하는 것이다. 도 18은 실시에 5에 따른 반도체 기억 장치의 동가 회로를 도시하는 도면이다.

도 18에 도시하는 동가 회로는 도 13에 도시한 동가 회로메 있어서 N채널형 KDS 트런지스터 NB 및 N11의 게마트끼리를 접속하고, 그 접속라인을 공통의 제 2 워드션 RM로 한 점만이 실시예 4와 다르다. 그 밖 의 구성은 도 13에 도시한 것과 마찬가지이므로, 여기서는 그 설명을 생략한다.

따라서, 그 동작도 또한 판독 등작을 제 2 정상 비트선 RBL1의 전위와 제 2 역상 비트선 RBL2의 전위의 차분에 의해 실행하는 점 미외에는 도 13에 도시한 등가 회로와 마찬가지다.

또한, 레이마웃 구조에 대해서도 도 16에 대용하는 제 2 금속 배선층 레이어와 도 17에 대용하는 제 3 금 속 배선층 레이어만이 다르고, 다른 하층의 레이어는 도 14 및 도 15에 도시한 것과 마찬가지마므로, 며 기서는 그들의 설명을 생략한다.

따라서, 이하에 도 15에 도시한 레이어의 상황에 위치하는 레이어에 대해서 설명한다. 도 19 및 도 20은 실시예 5에 따른 반도체 기억 장치의 메모리 설의 레이아웃도이며, 특히 도 19는 도 16에 대용하는 제 2 금속 배선총을 포함하는 레이어를 도시한 도면이고, 도 20은 도 17에 대용하는 제 3 금속 배선총을 포함 하는 레이어를 도시한 도면이다.

우선, 도 19에 도시하는 레이더에는 도 15에 도시한 제 1 급속 배선용 AL15를 겸유하며 p+ 확산 영역 FLI1에 전원 전위 VDD를 부여하고 또한 제 I 금속 배선용 AL16을 경유하며 p+ 확산 명역 FL14에 전원 전 위 VDD를 부여하기 위한 제 2 급속 배선용 AL21이 형성된다. 즉,이 제 2 금속 배선용 AL21은 전원 전위 VDD 라인으로서 기능하고,도 18의 등가 회로에 있어서 P채널형 MDS 트런지스터 PI의 소스와 전원의 접속 및 P채널형 MDS 트런지스터 P2의 소스와 전원의 접속을 달성하는 것이다.

또한, 도 15에 도시한 제 1 금속 배선총 AL17을 경유하여 P 확산 영역 FL21 및 FL24에 접지 진위 GND를 부여하기 위한 제 2 금속 배선총 AL22와, 제 1 금속 배선총 AL18을 경유하여 P 확산 영역 FL31 및 FL34 에 접지 전위 GND를 부여하기 위한 제 2 금속 배선총 AL23이 형성된다. 즉, 미를 제 2 금속 배선총 AL22 및 AL23은 접지 전위 GND라인으로서 기능하고, 도 18의 등가 회로에 있어서 MXI빌형 MOS 트랜지스터 N1, N2, N8 및 N1C의 각 소스의 접지를 달성하는 것이다.

또한, 도 19에 도시하는 레이더에는 도 15에 도시한 컨택트 홈+제 1 비아홀을 거쳐서 하음의 p+ 확산 영역 FL23에 접속되어 제 1 정상 비트선 #BL1로서 기능하는 제 2 금속 배선총 AL24와, 하홍의 p+ 확산 영역 FL26에 접속되어 제 2 역상 비트선 RBL2로서 기능하는 제 2 금속 배선총 AL25와, p+ 확산 영역 FL36에 접속되어 역상 비트선 WBL2로서 기능하는 제 2 금속 배선총 AL25와, p+ 확산 영역 FL33에 접속되어 제 2 정상 비트선 RBL1로서 기능하는 제 2 금속 배선총 AL25와, p+ 확산 영역 FL33에 접속되어 제 2 정상 비트선 RBL1로서 기능하는 제 2 금속 배선총 AL25와 형성된다.

즉, 이블 제 2 금속 배선층 AL24~AL26 및 AL42는 도 18의 등가 회로에 있어서 M채널형 MDS 트랜지스터 M3의 반도체 단자의 다른 즉(트레인)과 제 1 정상 비트선 WBL1의 접속과, N채널형 MDS 트랜지스터 M4의 반도체 단자의 다른 즉(트레인)과 역상 비트선 WBL2의 접속과, N채널형 MDS 트랜지스터 N9의 반도체 단자의 다른 즉(트레인)제 2 정상 비트선 RBL1의 접속과, N채널형 MDS 트랜지스터 N11의 반도체 단자의 다른 즉(트레인)과 제 2 역상 비트선 RBL2의 접속을 달성하는 것이다.

특히, 미들 제 2 금속 배선총 AL24~AL26 및 AL42는 제 I 헬 경계선과 평향한 방향으로 연장하는 직선 형 상으로 형성할 수 있다. 이것은 1개의 메모리 헬내에 있어서 제 I 정상 비트선 WRL1, 역상 비트선 WRL2, 제 2 정상 비트선 RBL1 및 제 2 역상 비트선 RBL2의 각 립이를 더욱 짧게 한 것을 의미한다.

또한, 도 19에 도시하는 레이더에는 하용의 제 1 금속 배선층 AL13과 상흥의 접속점을 미통시키기 위한 제 2 금속 배선층 AL41과, 하층의 제 1 금속 배선층 AL19와 상층의 접속점을 미통시키기 위한 제 2 금속 배선층 AL28과, 하층의 제 1 금속 배선층 AL10과 상층의 접속점을 미통시키기 위한 제 2 금속 배선층 AL27과, 하층의 제 1 금속 배선층 AL14를 거쳐서 쫍리실리콘 배선층 PL31과 상층의 접속점을 미통시키기 위한 제 2 금속 배선층 AL23가 형성된다.

다음에, 또 19에 도시한 레이더의 상황에 위치하는 레이더에 대해서 설명한다. 도 20은 도 19에 도시한 레이어상에 형성되는 재 3 금속 배선황을 포함하는 레이더를 도시한 도면이다. 도 20에 도시하는 레이더에는 제 1 금속 배선황 AL10및 제 2 금속 배선총 A27을 걸유하여 플리실리콘 배선황 PL21과 PL33을 전기적으로 접속함과 등시에 제 1 워드선 WE로서 기능하는 제 3 금속 배선황 AL31이 형성된다. 즉, 이 제 3 금속 배선황 AL31인 형성된다. 즉, 이 제 3 금속 배선황 AL31은 도 18의 등가 회로에 있어서 N채널형 NOS 트랜지스터 N3 및 N4의 게이트와 제 1 워드선 WE의 접속을 달성하는 것이다.

또한, 제 1 금속 배선층 AL14 및 제 2 금속 배선층 AL29를 경유하여 퀄리실리콘 배선층 PL22와 PL31를 전 기적으로 접속함과 등시에 제 2 위드선 RM로서 가능하는 제 3 금속 배선층 AL32가 형성된다. 즉, 이 제 3 금속 배선층 AL32는 도 18의 동가 회로에 있어서 N채널형 MDS 트랜지스터 N9 및 N11의 게이트와 제 2 워드선 RML의 접속을 당성하는 것이다.

특히, 도 20에 도시하는 바와 같이 제 2 금속 배선층 AL27 및 AL28의 위치 관계에 따라, 양 금속 배선층 사이롭 제 1 합 경계선에 대해서 수직인 방향으로 연장하는 직선 형상의 금속 배선층에 의해 접속할 수 있다. 즉,도 20에 도시하는 제 3 금속 배선층 AL31출 제 1 활 경계선과 수직인 방향으로 연장하는 직선 형상으로 형성할 수 있게 된다. 제 3 금속 배선층 AL32에 대해서도 마찬가지이다. 이것은 1개의 메모리 생내에 있어서 제 1 워드선 때문 및 제 2 워드선 RT의 각 길이를 더욱 짧게 한 것을 의미한다.

曇 2001-0106233

미상에서 설명한 바와 같이, 실시에 5에 따른 반도체 기억 장치에 익하면 보다 고속이고 안정된 판독 통 작이 가능한 차분 판독형 2포트 SRAM 셀에 있어서도 실시에 3에 의한 효과를 얻을 수 있다.

医复马 变生

미상에서 설명한 바와 같이, 본 발명에 의하면, 정상 비트선과 전기적으로 접속되는 제 1, 제 3 및 제 5 K체널형 MDS 트랜지스터 및 역상 비트선과 접속되는 제 2, 제 4 및 제 6 N채널형 MDS 트랜지스터가 분리 된 P헬 영역에 각각 형성되므로, 특히 이룹 웹 영역의 배치 방향을 정상 및 역상 비트선 방향에 대해서 수직으로 하는 것에 의해, 비트선의 길이를 짧게 하는 레이아옷을 적용하는 것이 가능하게 되어 고속인 액세스가 가능하게 된다는 효과가 얻어진다.

다음의 발명에 의하면, 제 1 및 제 2 P행 영역을 N행 영역의 양측에 배치하므로, 제 1 및 제 2 P행 영역 에 각각 형성된 N채널형 MOS 트랜지스터와 N행 영역에 형성된 P채널형 MOS 트랜지스터의 접속 배선 거리 를 균일하게 할 수 있더 더욱 배선이 짧은 최적인 레이마웃을 채용할 수 있다는 효과가 얻어진다.

다음의 발명에 의하면, 각 비트선의 연장 방향이 제 1 및 제 2 P월 영역과 N월 영역의 경계선에 대해서 평향하므로, 각 워드선의 김미도 짧게 하는 것을 고려한 경우, 각 비트선의 김미를 최단으로 하는 레이아 옷이 가능하게 된다는 효과가 얼머진다.

다음의 발명에 의하면, 각 워드선의 연장 방향이 제 1 및 제 2 P할 영역과 K할 영역의 경계선에 대해서 수적미므로, 각 비트선의 길이를 우선적으로 짧게 하는 것을 고려한 경우, 각 워드선의 길미를 최단으로 하는 레이아웃이 가능하게 된다는 효과가 얻어진다.

다음의 발명에 의하면, 제 1 P채널형 MOS 트랜지스터와 제 1, 제 3 및 제 4 M채널형 MOS 트랜지스터의 각 게이트 영역이 동일 직선 상에 위치하도록 형성되므로, 이를 게이트 사이를 접속하기 위한 배선을 직선 형상으로 할 수 있고, 또한, 제 2 P채널형 MOS 트랜지스터와 제 2, 제 5 및 제 6 M채널형 MOS 트랜지스터 의 각 게이트 영역에 대해서도 동일 직선 상에 위치하도록 형성되므로, 이를 게이트 사이를 접속하기 위 한 배선률 직선 형상으로 할 수 있고, 이것에 의해 짧은 배선을 얻을 수 있다는 효과가 얻어진다.

다음의 발명에 의하면, 액세스 게이트로서 기능하는 제 3 및 제 5 N채널형 NDS 트랜지스터의 각 소스 및 드레인이 등일 직선 상에 위치하므로, 이름 제 3 및 제 5 N채널형 NDS 트랜지스터의 배치 간격을 작게 함 수 있고, 또한 제 4 및 제 6 N채널형 NDS 트랜지스터에 대해서도 마찬가지로 각 소스 및 드레인이 동일 직선 상에 위치하므로, 이름 제 4 및 제 6 N채널형 NDS 트랜지스터의 배치 간격을 작게 할 수 있어, 메모리 셀의 집적도를 향상시킬 수 있다는 효과가 얻어진다.

다음의 발명에 의하면, 제 3 및 제 5 N채널형 MOS 트런지스터와 제 4 및 제 6 N채널형 MOS 트런지스터에 있어서 각각 드레인 확산 영역미 공통의 아 확산 영역에 형성되어 있으므로, 마 확산 영역을 작게 함 수 있어 마 확산 영역에 의한 기생 용량을 저김할 수 있게 된다는 효과가 얻어진다.

다음의 발명에 의하면, 제 1 N채널형 MOS 트랜지스터와 제 3 및 제 5 N채널형 MOS 트랜지스터의 각 드레 인 확산 영역이 상흥의 제 1 공속 배선에 의해 접속되고, 제 2 N채널형 MOS 트랜지스터와 제 4 및 제 6 N 채널형 MOS 트랜지스터의 각 드레인 확산 영역이 상흥의 제 2 금속 배선에 의해 접속되므로, 이를 제 1 및 제 2 금속 배선을 상기한 드레인 확산 영역의 배치 위치에 따라서 직선 형상으로 합 수 있고, 미것에 의해 짧은 배선을 얻을 수 있다는 효과가 얼머진다.

다음의 발명에 의하면, 제 1 및 제 2 금속 배선의 연장 발양이 각 워드선의 연장 방향에 다해서 평향하므로, 이클 금속 배선의 길이도 워드선과 마찬가지로 최적인 길이로 함 수 있다는 효과가 얼어진다.

다음의 범명에 의하면, 각 배트선과, 전원 라인과, RND 라인의 각각의 연장 방향이 각 워드션에 대해서 수직이므로, 이들 배선의 길이를 최단으로 할 수 있어 고속 액세스가 가능하게 된다는 효과가 얻어진다.

다음의 발명에 의하면, 제 1, 제 3 및 제 5 K채널형 KOS 트랜지스터와 제 2, 제 4 및 제 6 K채널형 KOS 트랜지스터에 있어서 각각 드레인 확산 영역이 공통의 바 확산 영역에 형성되어 있으므로, 이를 드레인 확산 영역 사이의 금속 배선은 생략할 수 있다는 효과가 얼어진다.

다음의 발명에 의하면, 제 1 n+ 확산 영역과 제 1 P채날형 KIS 트랜지스터의 드레인 확산 영역 및 제 2 n+ 확산 영역과 제 2 P채날형 KIS 트랜지스터의 드레인 확산 영역이 각각 상충의 금속 배선에 의해 접속되므로, 미를 금속 배선을 상기한 드레인 확산 영역과 n+ 확산 영역의 배치 위치에 따라 직선 형상으로 할 수 있고, 이것에 의해 짧은 배선을 얻을 수 있다는 효과가 얻어진다.

다음의 발명에 의하면, 제 5 및 제 6 N채널형 MOS 트랜지스터를 판독용 포트로 한 2포트 SRAM 셀을 구성하는 회로에 있어서, 정상 비트선과 전기적으로 접속되는 제 1, 제 3 및 제 5 M채널형 MOS 트랜지스터 및 역상 비트선과 접속되는 제 2 및 제 4 M채널형 MOS 트랜지스터가 보리된 P헬 영역에 각각 형성되므로, 특히 이플 헬 영역의 배치 방향을 정상 및 역상 비트선 방향에 대해서 수적으로 하는 것에 의해, 비트선의 길이를 짧게 하는 레이아웃音 적용하는 것이 가능하게 되어 고속인 액세스가 가능하게 된다는 효과가 얻어진다.

다음의 발명에 의하면, 제 5 및 제 6 K채널형 MOS 트랜지스터를 제 1 판독 용 포트로 합과 동시에 제 7 및 제 8 K채널형 MOS 트랜지스터를 제 2 판독용 포트로 한 3포트 SRAM 셈을 구성하는 회로에 있어서, 정 상 비트선과 전기적으로 접속되는 제 1, 제 3 및 제 5 K채널형 MOS 트랜지스터 및 역상 비트선과 접속되는 제 2, 제 4 및 제7의 N채널형 MOS 트랜지스터가 분리된 P웹 영역에 각각 형성되므로, 특히 미를 웰 영역의 배치 방향을 정상 및 역상 비트선 방향에 대해서 수직으로 하는 것에 의해, 비트선의 길이를 짧게하는 레이아옷을 적용하는 것이 가능하게 되어 고속인 액세스가 가능하게 된다는 효과가 얻어진다.

다음의 발명에 의하면, 제 2 정상 비트선과 제 2 역상 비트선 사이의 전위의 차분에 의해 판독 동작을 실행하는 차분 판독형 2포트 SRAM 성읍 구성하는 회로에 있어서, 정상 비트선과 전기적으로 접속되는 제 1,

i

특2001-0106233

제 3 및 제 5 N채널형 MOS 트랜지스터 및 역상 비트선과 접속되는 제 2, 제 4 및 제 7 N채널형 MOS 트랜 지스터가 분리된 P웰 영역에 각각 형성되므로, 특히 이를 웹 영역의 배치 방향을 정상 및 역상 비트선 방 형에 대해서 수직으로 하는 것에 의해, 비트선의 길이를 짧게 하는 레이이웃을 적용하는 것이 가능하게 되어 고속인 액세스가 가능하게 된다는 효과가 얻어진다.

다음의 발명에 의하면, 제 1 및 제 2 P웰 영역을 N웹 영역의 양측에 배치하므로, 제 1 및 제 2 P웰 영역 에 각각 형성된 N채널형 MOS 트랜지스터와 N웰 영역에 형성된 P채널형 MOS 트랜지스터의 접속 배선 거리 퓔 균일하게 할 수 있어 더욱 배선이 짧은 최적인 레미마옷을 채용할 수 있다는 효과가 얻어진다.

다음의 발명에 의하면, 각 비트선의 연장 방향이 제 1 및 제 2 P현 영역과 K현 영역의 경계선에 대해서 평행하므로, 각 워드션의 길이도 짧게 하는 것을 고려한 경우, 각 비트션의 길이를 최단으로 하는 레미아 옷이 가능하게 된다는 효과가 얼머진다.

다음의 발명에 의하면, 각 워드선의 연장 방향이 제 1 및 제 2 P헬 영역과 N펜 영역의 경계선에 대해서 수적이므로, 각 비트선의 길이를 우선적으로 함게 하는 것을 고려한 경우, 각 워드선의 길이를 최단으로 하는 레이마웃이 가능하게 된다는 효과가 얼어진다.

다음의 발명에 의하면, 제 1 P채널형 MOS 트랜지스터와 제 1, 제 4 및 제 6 N채널형 MOS 트랜지스터의 각 게이트 영역이 동일 직선 상에 위치하도록 형성되므로, 이품 게이트 사이를 접속하기 위한 배선을 직선 형상으로 할 수 있고, 또한, 제 2 P채널형 MOS 트랜지스터와 제 2, 제 3 및 제 5 N채널형 MOS 트랜지스터 의 각 게이트 영역에 대해서도 동일 직선 상에 위치하도록 형성되므로, 이를 게이트 사이를 접속하기 위한 배선을 직선 형상으로 할 수 있고, 미것에 의해 짧은 배선을 얻음 수 있다는 효과가 얻어진다.

다음의 발명에 의하면, 제 2 N채널형 NOS 트랜지스터의 드래인과 제 4 N채널형 NOS 트랜지스터의 소스가 통일 직선 상에 위치하므로 마를 제 2 및 제 4 N채널형 NOS 트랜지스터의 배치 간격을 작게 할 수 있고, 또한 제 5 N채널형 NOS 트랜지스터의 드래인과 제 6 N채널형 NOS 트랜지스터의 소스도 마찬가지로 동일 직선 상에 위치하므로 미를 제 5 및 제 6 N채널형 NOS 트랜지스터의 배치 간격을 작게 할 수 있어, 메모 리 셈의 집적도를 향상시킬 수 있다는 효과가 얻어진다.

다음의 발명에 의하면, 제 1 및 제 3 k채널형 MOS 트랜지스터와 제 5 및 제 6 k채널형 MOS 트랜지스터에 있머서 각각 반도체 단자의 한쪽이 공통의 n+ 확산 영역에 형성되며 있으므로, n+ 확산 영역을 작게 할 수 있어 n+ 확산 영역에 의한 기생 용량을 저강할 수 있게 된다는 효과가 얻어진다.

다음의 발명에 의하면, 제 2 P채널형 MOS 트랜지스터와 제 2 및 제 5 M제널형 MOS 트랜지스터가 서로의 게미트 영역을 직선 형상의 공통의 풀리실리콘 배선에 의해 접속하고 있으므로, 이를 MOS 트랜지스터사이 의 배치 간격을 작개 함 수 있어 메모리 설의 집적도를 향상시킬 수 있다는 효과가 얼어진다.

다음의 발명에 의하면, 각 비트선과, 전원 라인과, GNO 라인의 각각의 연장 방향이 각 워드선에 대해서 수직이므로, 미플 배선의 길미를 최단으로 할 수 있어 교속 액세스가 가능하게 된다는 효과가 얻어진다.

다음의 발명에 의하면, 제 1 P채널형 MOS 트랜지스터와 제 1, 제 4, 제 6 및 제 7 N채널형 MOS 트랜지스터의 각 게이트 영역이 몸일 작선 상에 위치하도록 형성되므로 이를 게이트 사이를 접속하기 위한 배선을 작선 형상으로 할 수 있고, 또한 제 2 P채널형 MOS 트랜지스터와 제 2, 제 3, 제 5 및 제 8 N채널형 MOS 트랜지스터의 각 게이트 영역에 대해서도 동일 작선 상에 위치하도록 형성되므로, 이를 게이트 사이를 접속하기 위한 배선을 작선 형상으로 할 수 있고, 이것에 의해 짧은 배선을 얻다 수 있다는 효과가 얻어진다.

다음의 발명에 의하면, 제 2 k채널형 MOS 트랜지스터의 드레인과 제 4 k채널형 MOS 트랜지스터의 소스가 동일 직선 상에 위치하므로 이를 제 2 및 제 4 k채널형 MOS 트랜지스터의 배치 간격을 작게 할 수 있고, 또한 제 5 k채널형 MOS 트랜지스터의 드레인과 제 6 k채널형 MOS 트랜지스터의 소스도 미찬가지로 통일 직선 상에 위치하므로 이름 제 5 및 제 6 k채널형 MOS 트랜지스터의 배치 간격을 작게 할 수 있고, 또한 제 7 k채널형 MOS 트랜지스터의 드레인과 제 8 k채널형 MOS 트랜지스터의 소스도 마찬가지로 통일 직전 상에 위치하므로 이를 제 7 및 제 8 k채널형 MOS 트랜지스터의 바치 간격을 작게 할 수 있어, 메모리 셈 의 집적도급 향상시킬 수 있다는 효과가 얻어진다.

다음의 발명에 의하면, 제 1 및 제 3 M채널형 MOS 트랜지스터와 제 5 및 제 6 M채널형 MOS 트랜지스터와 제 7 및 제 8 M채널형 MOS 트랜지스터에 있어서, 각각 반도체 단지의 한쪽이 공통의 마 확산 영역에 형성되어 있으므로, 마 확산 영역을 작게 할 수 있어 마 확산 영역에 의한 기생 용량을 지감할 수 있게 된다는 효과가 얻어진다.

다음의 발명에 의하면, 제 2 P채남형 KDS 트랜지스터와 제 2 및 제 5 N채남형 KDS 트랜지스터가 서로의 게이트 명역을 작선 형상의 공통의 플리실리콘 배선에 의해 접속하고, 또한 제 1 P채남형 KDS 트랜지스터 와 제 1 및 제 7 N채남형 KDS 트랜지스터가 서로의 게이트 명역을 작선 형상의 공통의 플리살리콘 배선에 의해 접속하고 있으므로, 이를 KDS 트랜지스터 사이의 배치 간격을 작게 할 수 있어 메모리 셈의 집적도 클 향상시킬 수 있다는 효과가 얻어진다.

이상 본 발명자에 의해서 이루어진 발명을 상기 실시예에 따라 구체적으로 설명하였지만, 본 발명은 상기 실시예에 한정되는 것이 아니고, 그 요지를 이탈하지 않는 범위에서 여러 가지로 변경 가능한 것은 물론 이다.

(57) 원구의 범위

원구항 1

제 1 워드션, 제 2 워드션, 제 1 정상(positive-phase) 비트션, 제 1 역상(negative-phase) 비트션, 제 2 정상 비트션 및 제 2 역상 비트션과,

제 1 K채념형 MOS 트랜지스터 및 제 1 P채념형 MOS 트랜지스터를 포함하여 CNOS 인버터를 구성하는 제 1

38-17

學2001-0106233

CMOS 인버터와,

제 2 N채널형 MOS 트랜지스턴 및 제 2 P채널형 MOS 트랜지스터를 포함하며 CHOS 인버터를 구성하며, 또한 상기 CHOS 인버터의 입력 단자를 제 1 기억 노드로 해서 상기 제 1 CHOS 인버터의 출력 단자에 접속하고, 상기 CHOS 인버터의 출력 단자를 제 2 기억 노드로 해서 상기 제 1 CHOS 인버터의 입력 단자에 접속한 제 2 CHOS 인버터와,

게이트를 상기 제 1 워드션에 집속하고, 드레인을 상기 제 1 정상 비트션에 접속하며, 소스를 상기 제 1 기억 노드에 접속한 제 3 k채널형 MOS 트랜지스터와,

게마트를 삼기 제 1 워드션에 접속하고, 드레인을 삼기 제 1 역상 비트션에 접속하며, 소스를 삼기 제 2 기억 노드에 접속한 제 4 M채널형 MDS 트랜지스터와,

게이트콜 상기 제 2 워드션에 접속하고, 드레인을 상기 제 2 정상 비트션에 접속하며, 소스를 상기 제 1 기억 노드에 접속한 제 5 M채널헣 MOS 트랜지스터와,

게이트를 상기 제 2 워드션에 접속하고, 드레인을 상기 제 2 역상 비트션에 접속하며, 소스를 상기 제 2 기억 노드에 접속한 제 6 N채널형 μ OS 트랜지스터

열 구비하되,

상기 제 1 및 제 2 P채널형 MOS 트랜지스터는 N월 영역에 형성되고,

상기 제 1, 제 3 및 제 5 K채널형 MOS 트랜지스터는 제 1 P웹 영역에 형성되며,

상기 제 2, 제 4 및 제 6 N채널형 MOS 트랜지스터는 제 2 P흴 명역에 형성된 것을 특징으로 하는 반도체 기억 장치.

청구항 2

제 1 함에 있어서,

상기 제 1 및 제 2 P텔 영역문 상기 N텔 영역의 양속에 형성된 것을 특징으로 하는 반도체 기억 장치,

청구항 3

제 1 워드션, 제 2 워드션, 제 1 정상 비트션, 제 1 역상 비트션 및 제 2 정상 비트션과.

제 1 N채널형 MOS 트런지스터 및 제 1 P채널형 MOS 트랜지스터를 포함하여 CMOS 인버터를 구성하는 제 1 CMOS 인버터와,

제 2 N채널형 MOS 트랜지스터 및 제 2 P채널형 MOS 트랜지스터를 포함하여 DMOS 인버터를 구성하며, 또한 상기 DMOS 인버터의 입력 단자를 제 1 기억 노드로 해서 상기 제 1 DMOS 인버터의 출력 단자에 접속하고, 상기 DMOS 인버터의 출력 단자를 제 2 기억 노드로 해서 상기 제 1 DMOS 인버터의 입력 단자에 접속한 제 2 DMOS 인버터와,

게이트를 상기 제 1 워드션에 접속하고, 드레인을 상기 제 1 정상 비트션에 접속하며, 소스를 상기 제 1 기억 노드에 접속한 제 3 M채널형 MOS 트런지스터와,

게이트를 삼기 제 1 위드선에 접속하고, 드레인읍 상기 제 1 역상 비트선에 접속하며, 소스쯤 상기 제 2 기억 노드에 접속한 제 4 N채널형 MOS 트랜지스터와,

게이트를 상기 제 1 기억 노드에 접속한 제 5 M재널형 MOS 트랜지스터와,

게이트를 상기 제 2 워드션에 접속하고, 드레인을 상기 제 2 정상 비트션에 접속하며, 소스를 상기 제 5 K체널형 MDS 트랜지스터의 드레인에 접속한 제 6 K채널형 MDS 트랜지스터 로 그비송되

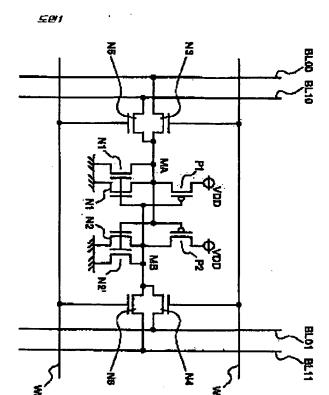
상기 제 1 및 제 2 P채널형 NOS 트랜지스터는 N월 영역에 형성되고,

상기 제 1 및 제 3 K채널형 NOS 트랜지스터는 제 1 P활 영역에 형성되며,

상기 제 2, 제 4, 제 5 및 제 6 N채널형 MOS 트랜지스터는 제 2 P훼 영역에 형성된 것을 특징으로 하는 반도체 기억 장치,

<u> Se</u>

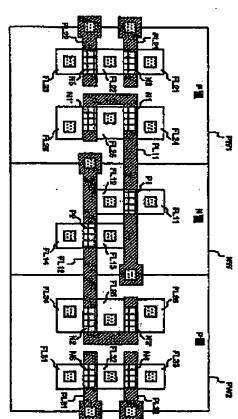
导2001-0106233



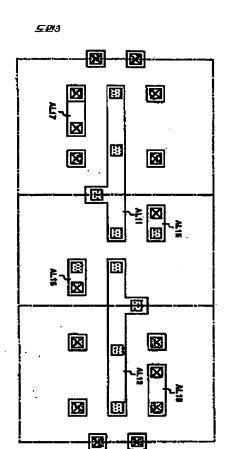
38-19

목2001-0106233





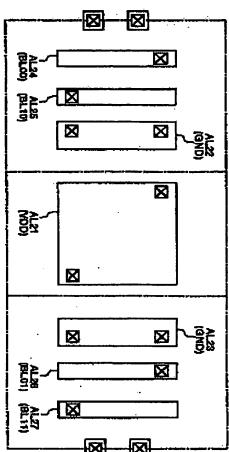
學 2001-0106233



38-21

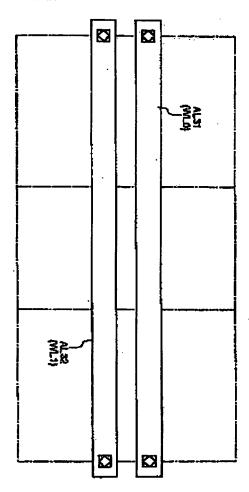
특 2001 -01 06233





号2001~0106233

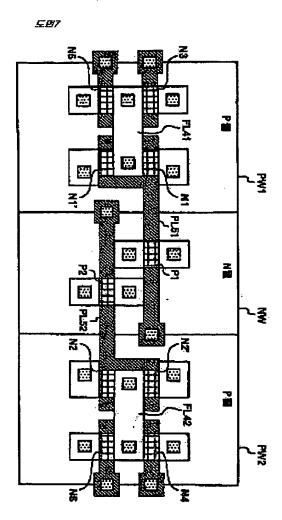
5.295



*도명*8

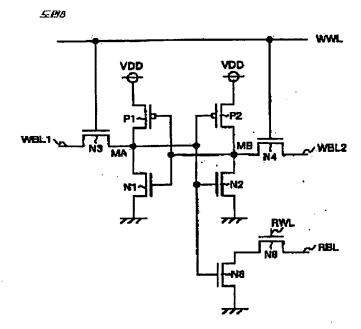
- [] 전목본 👛
- ※ 제 1 비아書
- ☑ 제 2 비아름
- [2] 건택으로 + 제 1 비아온

특 2001 - 01 06233

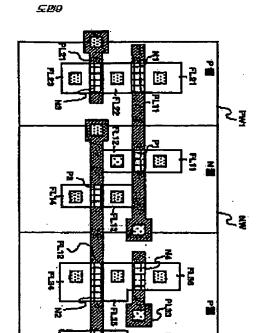


38-24

특2001-0106233

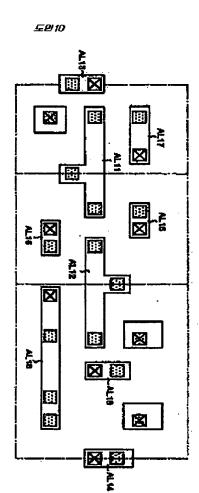


导2001-0106233



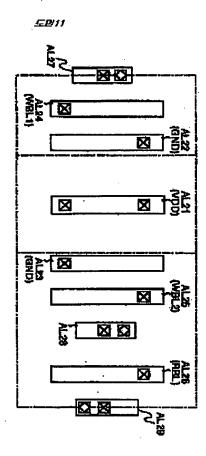
38-26

导 2001-0106233

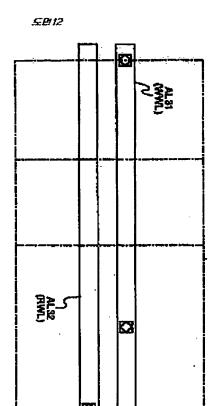


38-27

특2001-0106233

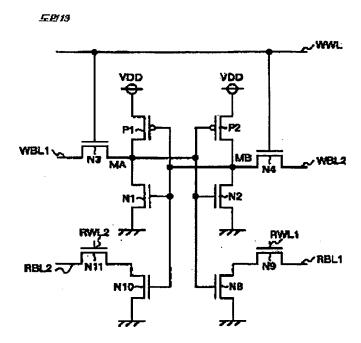


粤2001-0106233

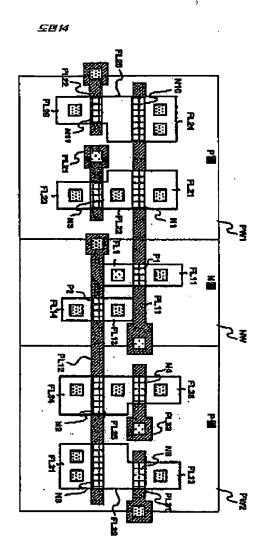


38-29

粤2001-0106233



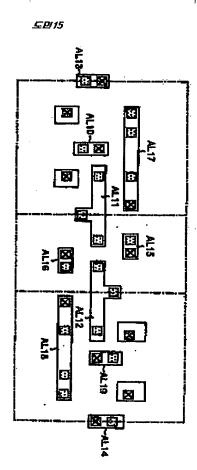
특2001-0106233



38-31

į

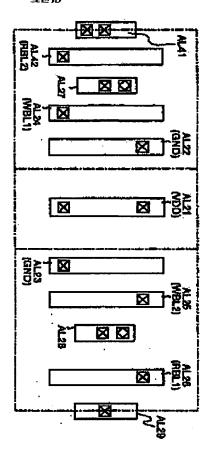
특 2001 −01 06233



38-32

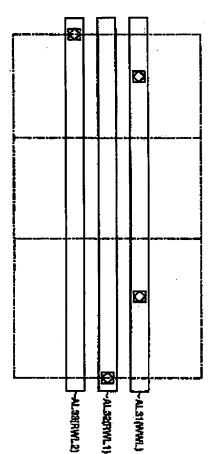
粤2001-0106233

5018



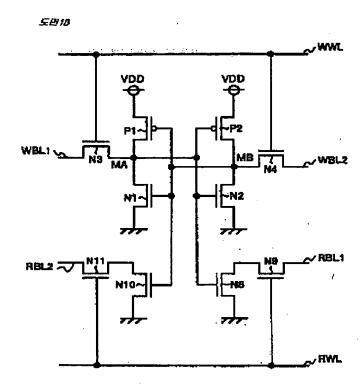
每2001-0106233





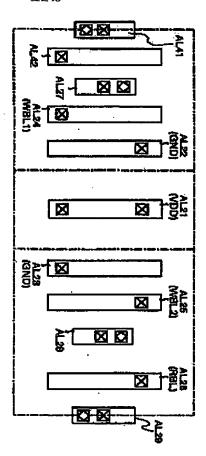
38-34

특 2001 -01 06233



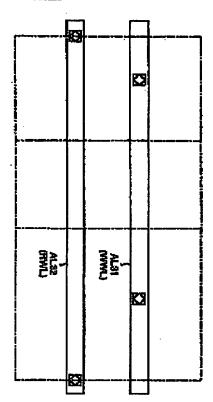
每2001-0106233

도만19

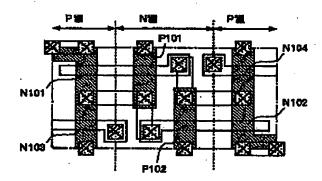


与2001-0106233

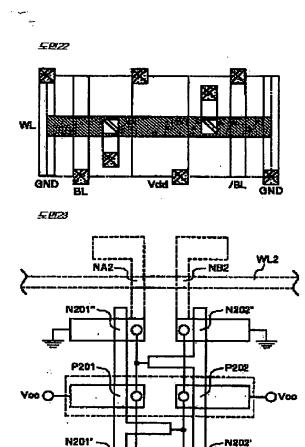




<u> 5821</u>



學 2001-0106233



NA:

38-38